

**Mc
Graw
Hill**

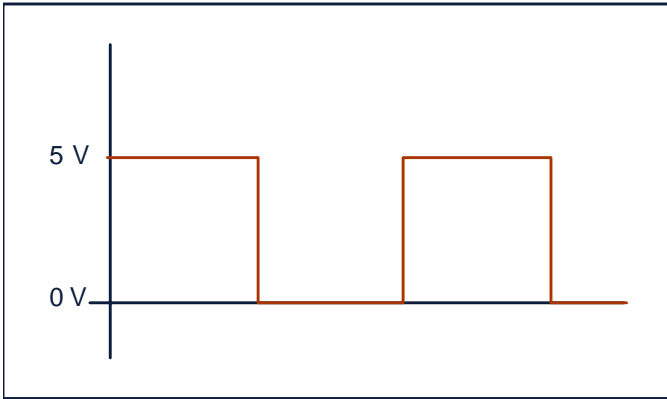
ANÁLISIS DE PUERTAS LÓGICA

- Análisis de las puertas lógicas
- Análisis de funciones complejas con puertas lógicas
- Circuitos integrados que contienen puertas lógicas

Capítulo 1: Análisis de puertas lógicas 1

**Mc
Graw
Hill**

Forma de una señal digital

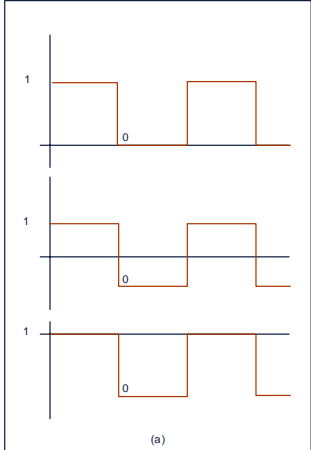


5 V

0 V

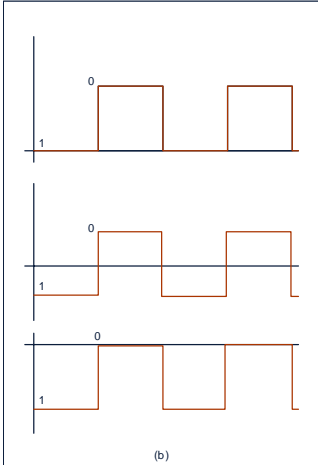
Capítulo 1: Análisis de puertas lógicas 2

Señales Digitales



(a)

Lógica Positiva



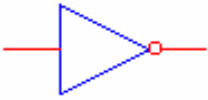
(b)

Lógica Negativa

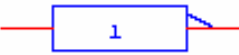
Capítulo 1: Análisis de puertas lógicas 3

Puerta NOT o Inversora

Símbolo



ANSI/IEEE 91-1973



ANSI/IEEE 91-1984


Tabla de Verdad

a	\bar{a}
0	1
1	0


Capítulo 1: Análisis de puertas lógicas 4

Puerta AND o Multiplicadora

Símbolo



ANSI/IEEE 91-1973



ANSI/IEEE 91-1984


Tabla de Verdad

a	b	$S = a \cdot b$
0	0	0
0	1	0
1	0	0
1	1	1


Capítulo 1: Análisis de puertas lógicas 5

Puerta OR o Sumadora

Símbolo



ANSI/IEEE 91-1973



ANSI/IEEE 91-1984

Tabla de Verdad

a	b	$S = a + b$
0	0	0
0	1	1
1	0	1
1	1	1

Capítulo 1: Análisis de puertas lógicas 6

Puerta NOR o Sumadora Inversora

Símbolo

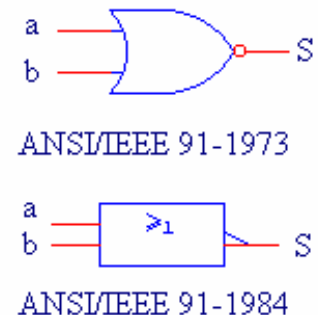


Tabla de Verdad

a	b	$S = \overline{a+b}$
0	0	1
0	1	0
1	0	0
1	1	0

Capítulo 1: Análisis de puertas lógicas 7

Puerta NAND o Multiplicadora Inversora

Símbolo

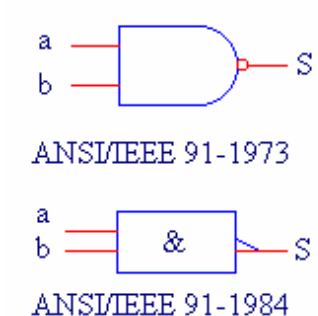


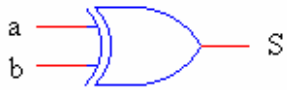
Tabla de Verdad

a	b	$S = \overline{a \cdot b}$
0	0	1
0	1	1
1	0	1
1	1	0

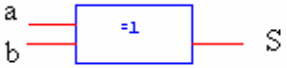
Capítulo 1: Análisis de puertas lógicas 8

Puerta OR-EXCLUSIVE

Símbolo



ANSI/IEEE 91-1997



ANSI/IEEE 91-1983


Tabla de Verdad

a	b	$S = a \oplus b$
0	0	0
0	1	1
1	0	1
1	1	0

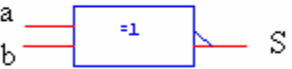
Capítulo 1: Análisis de puertas lógicas 9

Puerta NOR-EXCLUSIVE

Símbolo



ANSI/IEEE 91-1997

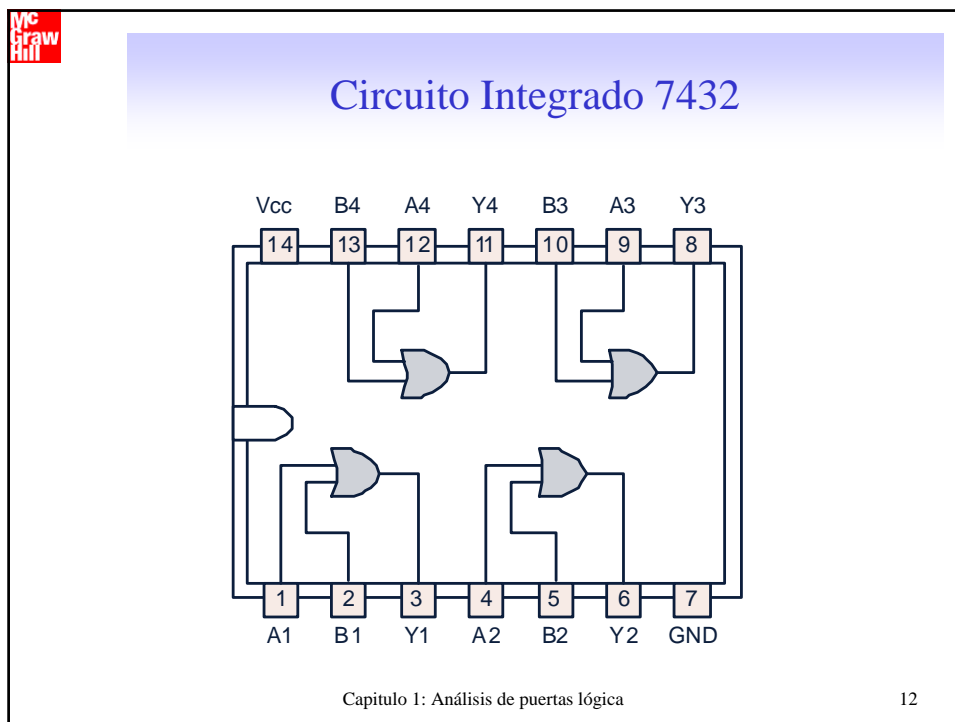
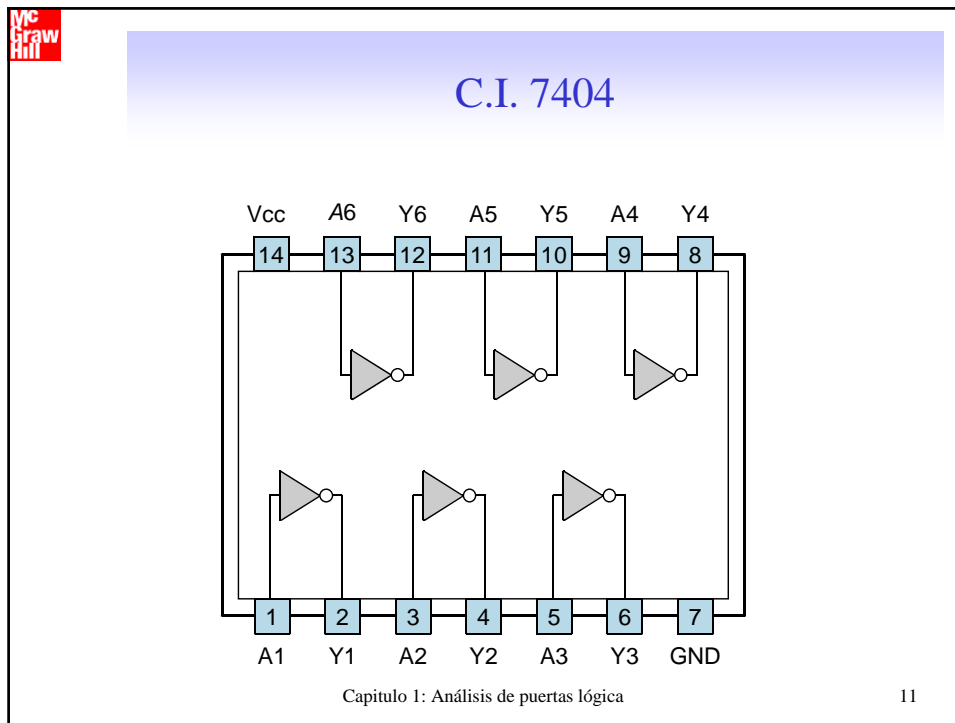


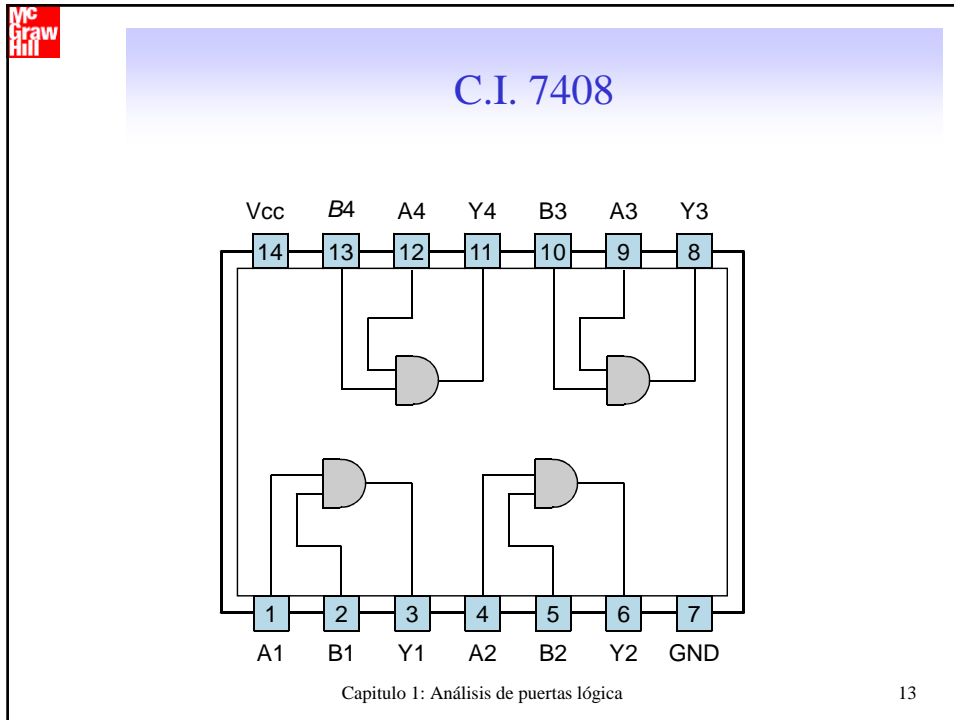
ANSI/IEEE 91-1983

Tabla de Verdad

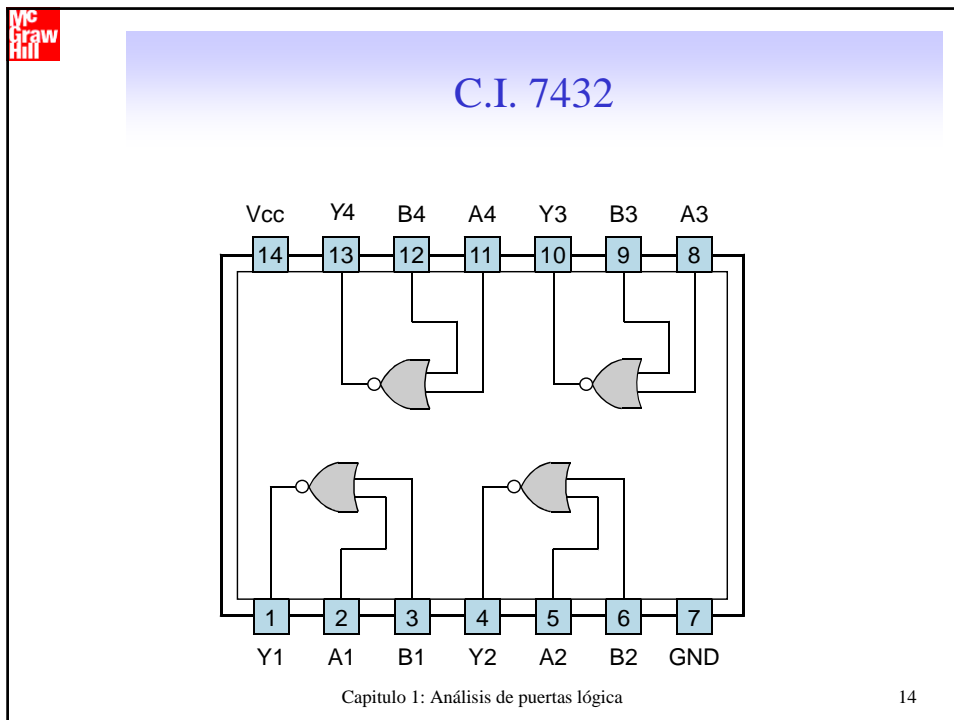
a	b	$S = \overline{a \oplus b}$
0	0	1
0	1	0
1	0	0
1	1	1

Capítulo 1: Análisis de puertas lógicas 10

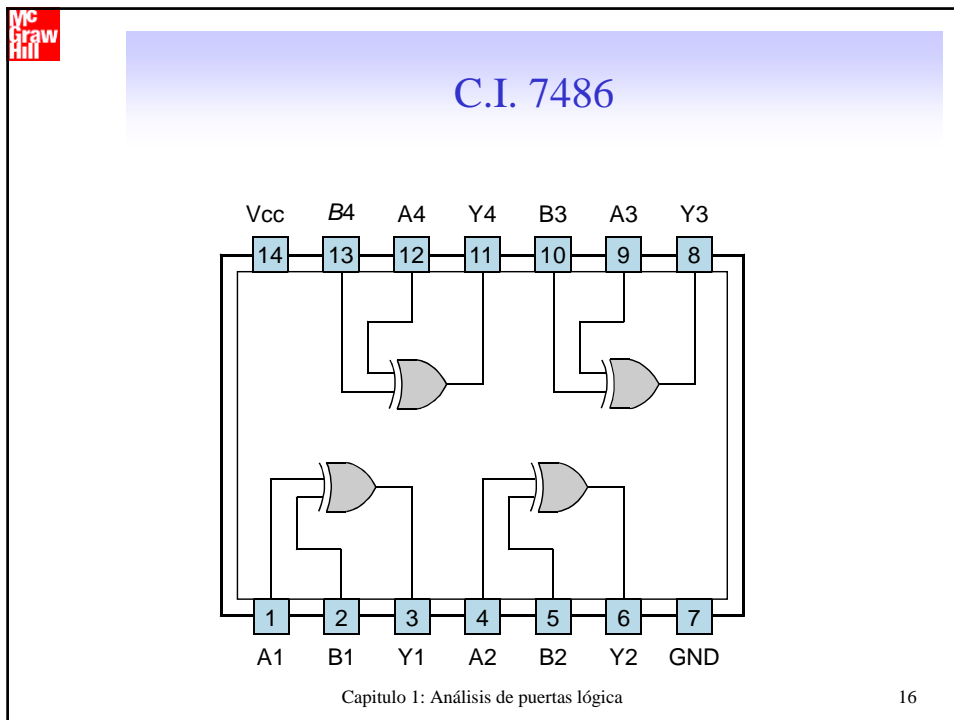
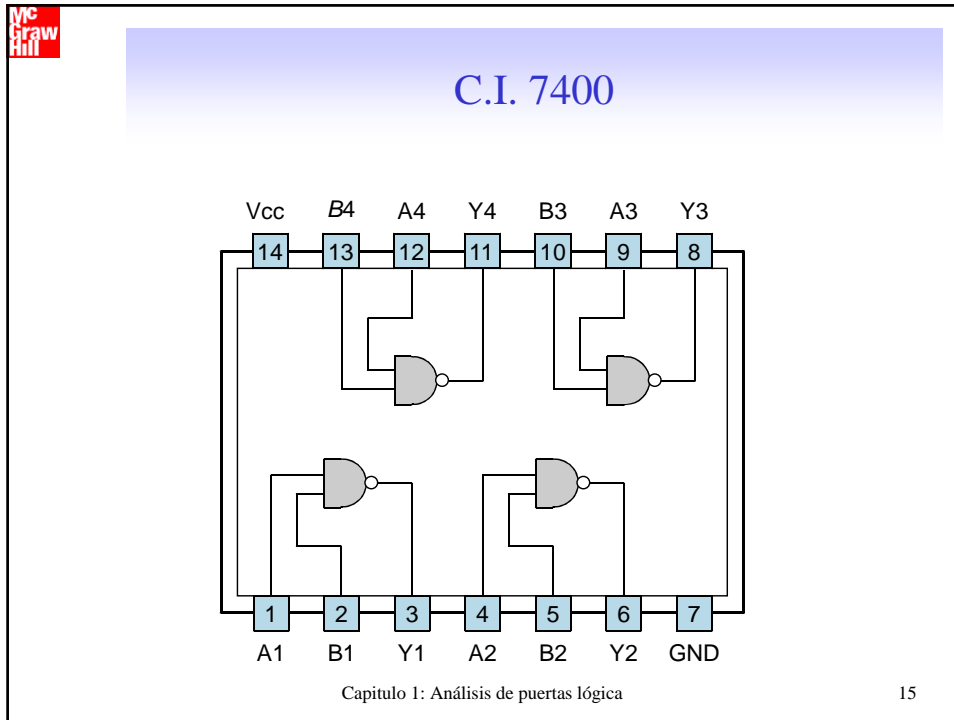


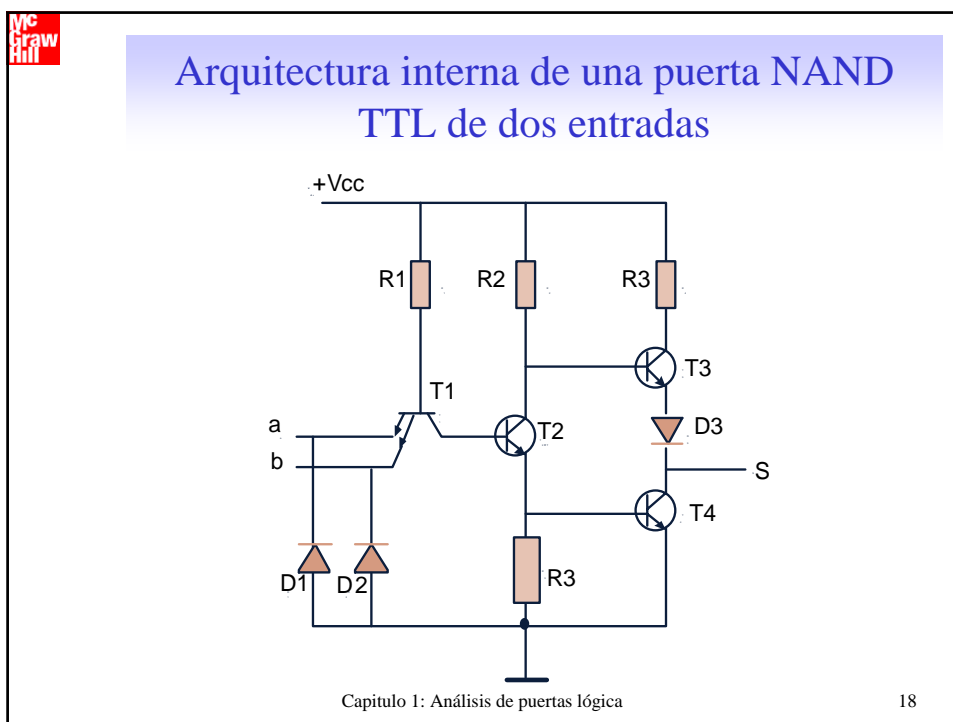
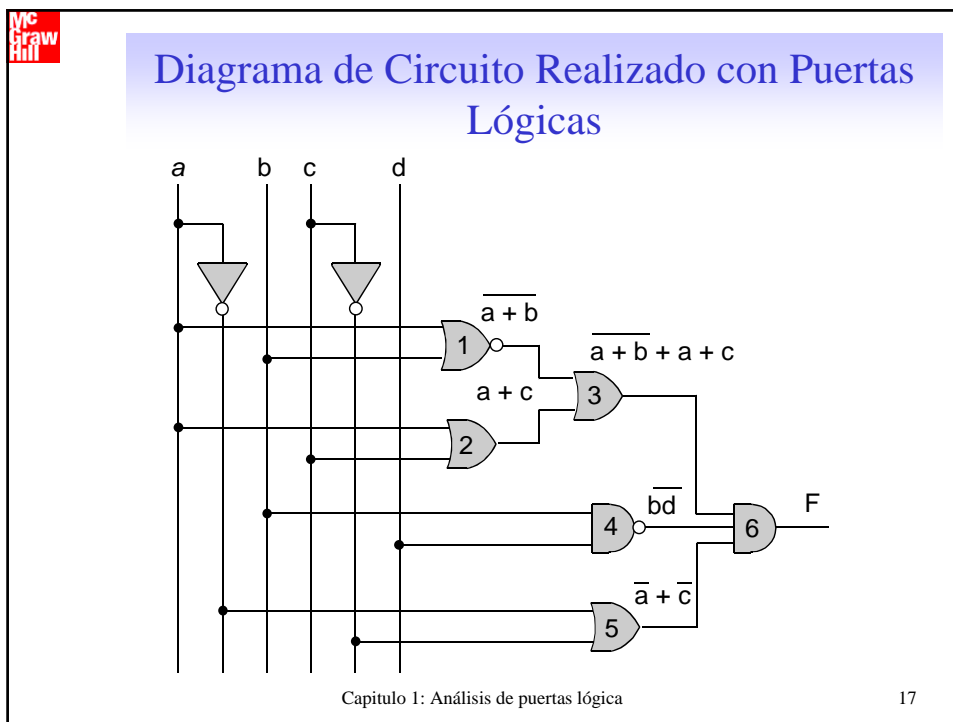



13



14








Características Generales de las puertas lógicas integradas

- Tensión de alimentación y su tolerancia
- Temperatura de trabajo
- *Fan-out*
- Niveles de tensión de entrada y salida
 - V_{IL} : Es la máxima tensión de entrada considerada como “nivel bajo”.
 - V_{IH} : Es la mínima tensión de entrada considerada como “un nivel alto”.
 - V_{OL} : Es la máxima tensión de salida considerada como un “nivel bajo”.
 - V_{OH} : Es la mínima tensión de salida considerada como un “nivel alto”.

Capítulo 1: Análisis de puertas lógicas 19



Características Generales de las puertas lógicas integradas

- Margen de ruido: En los estados lógicos alto y bajo, indica las variaciones máximas que se pueden producir a la entrada sin que la salida varié su estado.

$$NI_H = V_{OH} \text{ min} - V_{IH} \text{ min}$$
$$NI_L = V_{IL} \text{ máx} - V_{OL} \text{ máx}$$

Capítulo 1: Análisis de puertas lógicas 20

Características Generales de las puertas lógicas integradas

- Tiempo medio de propagación:** Es el retardo que transcurre desde que cambia una entrada y produce un cambio lógico a la salida


t_{PLH} = tiempo de propagación de nivel bajo a nivel alto.
 t_{PHL} = tiempo de propagación de nivel alto a nivel bajo.
 t_r = tiempo de subida de la señal de salida.
 t_f = tiempo de bajada de la señal de salida.

Capítulo 1: Análisis de puertas lógicas 21

Características Generales de las puertas lógicas integradas

- Disipación de potencia:** Se indica la disipación estática por función. O los consumos de corriente de alimentación de cortocircuito y de entrada y salida para los dos valores lógicos.


Capítulo 1: Análisis de puertas lógicas 22



CARACTERÍSTICAS IDEALES DE UNA FAMILIA LÓGICA

- Gran densidad de integración.
- Alta velocidad de propagación.
- Mínimo consumo.
- Máxima inmunidad al ruido y a las variaciones de temperatura.
- Compatibilidad con otras familias lógicas.
- Bajo coste.


Capítulo 1: Análisis de puertas lógica 23



Familia Lógica TTL

- TTL es el acrónimo de *Transistor Transistor Logic*
- La primera serie de dispositivos de esta familia que se creó se denominó *TTL Standar*, que es conocida por la mayoría de los fabricantes como la serie 74 y cuyas principales características son:
 - **Tensión de alimentación** $5V \pm 10\%$
 - **Fan-out** = a 10
 - **Niveles de tensión:**
 - $V_{IH\ min} = 2,0V$
 - $V_{IL\ máx} = 0,8V$
 - $V_{OH\ min} = 2,4V$
 - $V_{OL\ máx} = 0,4V$
 - **Margen de ruido** en ambos niveles 0,4V
 - **Tiempo de propagación** 10ns
 - **Disipación de potencia** 10mW por función

Capítulo 1: Análisis de puertas lógica 24




Familia Lógica TTL

Para mejorar las características Standars se desarrollaron las siguientes series:

- **54/74L** (*Low-power*): con un consumo de **1mW** pero un tiempo de propagación de **33ns**
- **54/74S** (*Schottky*) con un tiempo de progagación de **3ns** y una disipación de potencia de **20mW**
- **54/74LS** (*Low-power Schottky*) con una potencia de **3mW** y un tiempo de propagación de **10ns**
- **54/74AS** (*advanced Schottky*) con una potencia disipada de **7mW** y un tiempo de propagación de **1,5ns**
- **54/74F** (*FAST Fairchid Advanced Schottky*) con una potencia de disipación de **4mW** y un tiempo de propagación de **3ns**

Capítulo 1: Análisis de puertas lógica 25



Familia Lógica CMOS

- CMOS es el acrónimo de *Complementary Metal Oxide Semiconductor*
- La familia CMOS básica aparece en los catálogos como serie 4000 sus características más significativas son:
 - **Tensión de alimentación** de 3V a 18V
 - **Fan-out** = 50
 - **Niveles de tensión:** para una tensión de 5V
 - $V_{IH\ min} = 3,5V$
 - $V_{IL\ máx} = 1,5V$
 - $V_{OH\ min} = 4,95V$
 - $V_{OL\ máx} = 0,05V$
 - **Margen de ruido** muy elevado no le afectan impulsos de 30% de la tensión de alimentación
 - **Tiempo de propagación** varía inversamente a la tensión de alimentación
para : 5V 60ns para: 10V 30ns
 - **Disipación de potencia** 10nW por función

Capítulo 1: Análisis de puertas lógica 26



Familia Lógica CMOS

Para mejorar las características standards se desarrollaron las siguientes series:

- **54/74C** mantiene las propiedades de la tecnología CMOS y es compatible pin a pin con la serie TTL standard.
- **54/74HC** (*High Speed CMOS*) se alimenta con tensiones comprendidas entre 2 y 6V y tiempo de propagación de 8ns
- **54/74HCT** es similar a la anterior pero compatible eléctricamente con la familia TTL.
- **54/74ACT** (*Advanced CMOS*) con una tensión de alimentación de $5V \pm 10\%$ tienen una potencia disipación de **1mW** y un tiempo de propagación de **3ns**.