

**McGraw Hill**

## ANÁLISIS y DISEÑO DE CIRCUITOS CON BIESTABLES

- Análisis de circuitos de biestable R-S con puertas lógicas
- Análisis de otros biestables con puertas lógicas
- Análisis de biestables con puertas lógicas sincronizados
- Representación gráfica de biestables como bloque funcional
- Transformación de un tipo de biestable en otro
- Máquinas de estados modelos de Mealy y Moore

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 1

**McGraw Hill**

## Circuito Secuencial

E  
N  
T  
R  
A  
D  
A  
S

S  
A  
L  
I  
D  
A  
S

- Los circuitos secuenciales se caracterizan por que los valores de la señal de salida en un instante determinado dependen del valor de las entradas y del valor de la salida en el instante anterior

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 2

### Biestable R-S con puertas NOR

R	S	$Q_{(T)}$	$/Q_{(T)}$	$Q_{(T+1)}$	$/Q_{(T+1)}$	RESUMEN
0	0	0	1	0	1	$Q_{(T)}$
0	0	1	0	1	0	
0	1	0	1	1	0	1
0	1	1	0	1	0	0
1	0	0	1	0	1	0
1	0	1	0	0	1	
1	1	0	1	0	0	PROHIBIDO
1	1	1	0	0	0	

$Q_1 = Q_{(T)}$   
 $Q_2 = /Q_{(T)}$

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 3

### Biestable R-S (Puertas NOR)

**Símbolo**

ANSI/IEEE 91-1984

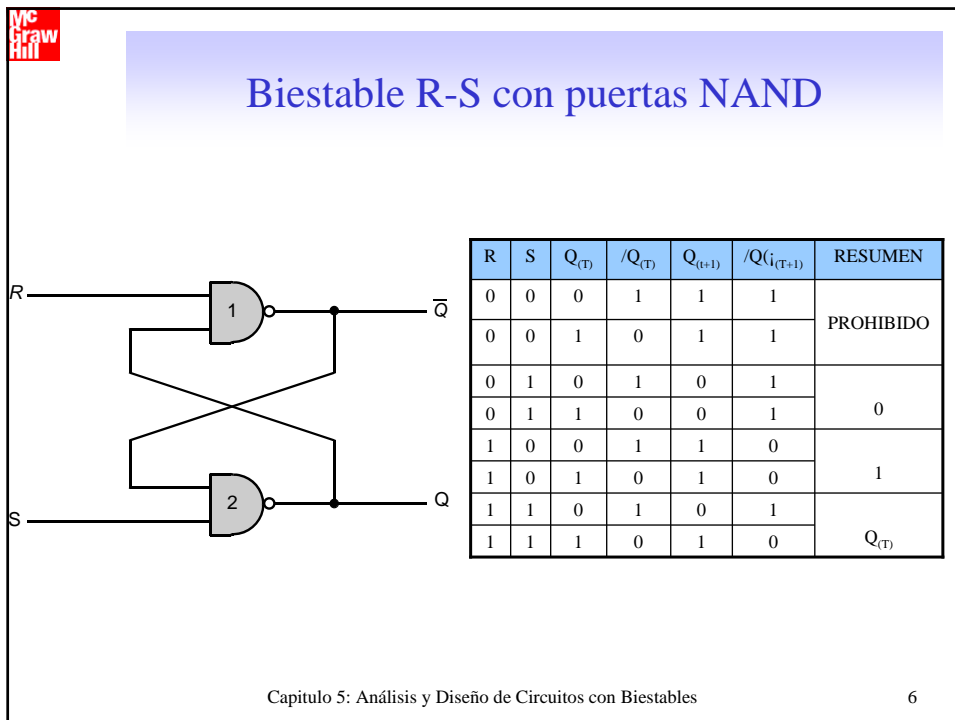
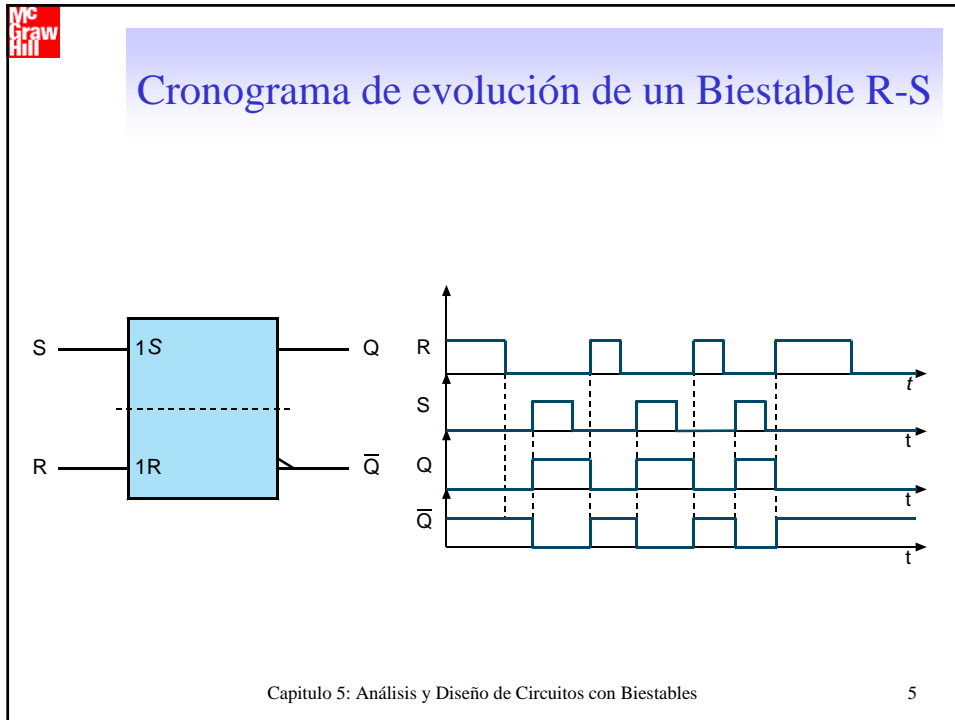
**Tabla de Transición**

R	S	$Q_{(T+1)}$
0	0	$Q_{(t)}$
0	1	1
1	0	0
1	1	*

**Tabla de Excitación**

$Q_{(T)}$	$Q_{(T+1)}$	R	S
0	0	X	0
0	1	0	1
1	0	1	0
1	1	0	X

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 4



## Biestable R-S (Puertas NAND)

**Símbolo**

ANSI/IEEE 91-1984

**Tabla de Transición**

R	S	$Q_{(T+1)}$
0	0	*
0	1	0
1	0	1
1	1	$Q_{(t)}$

\* = Estado Prohibido

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 7

## Biestable J-K

**Símbolo**

ANSI/IEEE 91-1984

**Tabla de Transición**

J	K	$Q_{(T+1)}$
0	0	$Q_{(t)}$
0	1	0
1	0	1
1	1	$\neg Q_{(t)}$

**Tabla de Excitación**

$Q_{(T)}$	$Q_{(T+1)}$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 8

### Biestable J-K con puertas lógicas

J	K	$Q_{(T)}$	$\bar{Q}_{(T)}$	$Q_{(t+1)}$	$\bar{Q}_{(t+1)}$	RESUMEN
0	0	0	1	0	1	$Q_{(T)}$
0	0	1	0	1	0	
0	1	0	1	0	1	0
0	1	1	0	0	1	1
1	0	0	1	1	0	$\bar{Q}_{(T)}$
1	0	1	0	1	0	
1	1	0	1	1	0	0
1	1	1	0	0	1	1

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 9

### Cronograma de evolución de un Biestable J-K

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 10

### Biestable D puertas

D	$Q_{(T)}$	$/Q_{(T)}$	$Q_{(t+1)}$	$/Q_{(t+1)}$
0	0	1	0	1
0	1	0	0	1
1	0	1	1	0
1	1	0	1	0

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 11

### Biestable R-S (Puertas NOR)

**Símbolo**

ANSI/IEEE 91-1984

**Tabla de Transición**

D	$Q_{(T+1)}$
0	0
1	1

**Tabla de Excitación**

$Q_{(T)}$	$Q_{(T+1)}$	D
0	0	0
0	1	1
1	0	0
1	1	1

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 12

**Cronograma de evolución de un Biestable R-S**

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 13

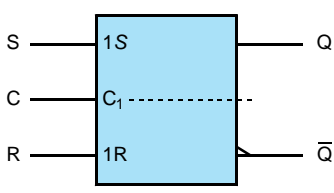
**Biestable R-S Sincronizado por Nivel**

R	S	CLK	$Q_{(t+1)}$	$/Q_{(t+1)}$
X	X	0	$Q_{(t+1)}$	$/Q_{(t+1)}$
0	0	1	$Q_{(t+1)}$	$/Q_{(t+1)}$
0	1	1	1	0
1	0	1	0	1
1	1	1	Prohibido	

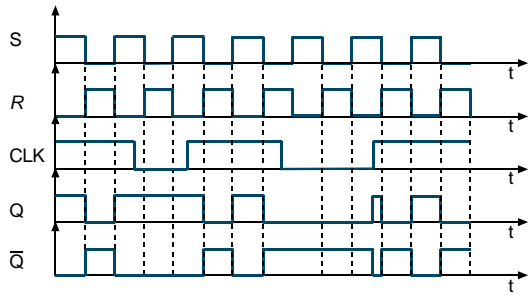
CIRCUITO DE SINCRONISMO BIESTABLE R-S ASINCRONO

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 14

### Cronograma de evolución de un Biestable J-K Sincronizado por nivel



S — 1S — Q  
C — C<sub>1</sub> —  
R — 1R — Q̄

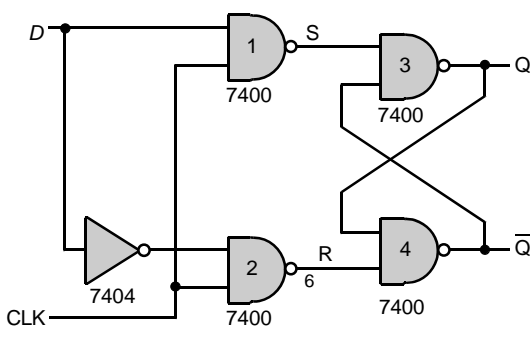


ANSI/IEEE 91-1984

Capítulo 5: Análisis y Diseño de Circuitos con Biestables

15

### Biestable D Sincronizado por Nivel Alto



D — 1 (7400) — S — 3 (7400) — Q  
CLK — 7404 — 2 (7400) — R — 4 (7400) — Q̄

Tabla de Transición

D	CLK	Q <sub>(t+1)</sub>
0	0	Q <sub>(t)</sub>
1	0	Q <sub>(t)</sub>
0	1	0
1	1	1

Capítulo 5: Análisis y Diseño de Circuitos con Biestables

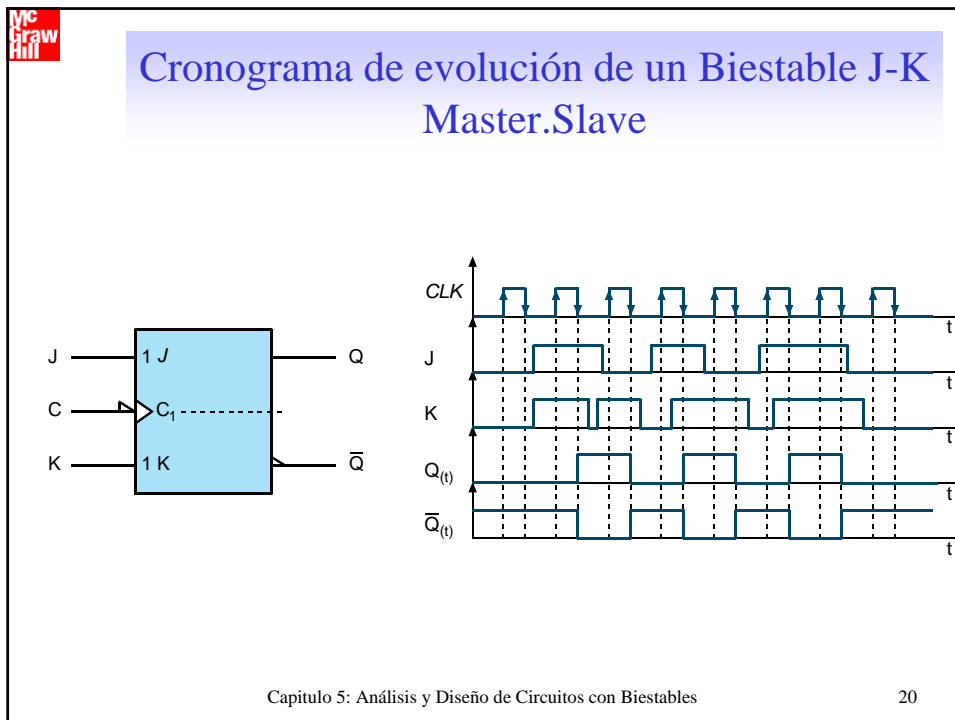
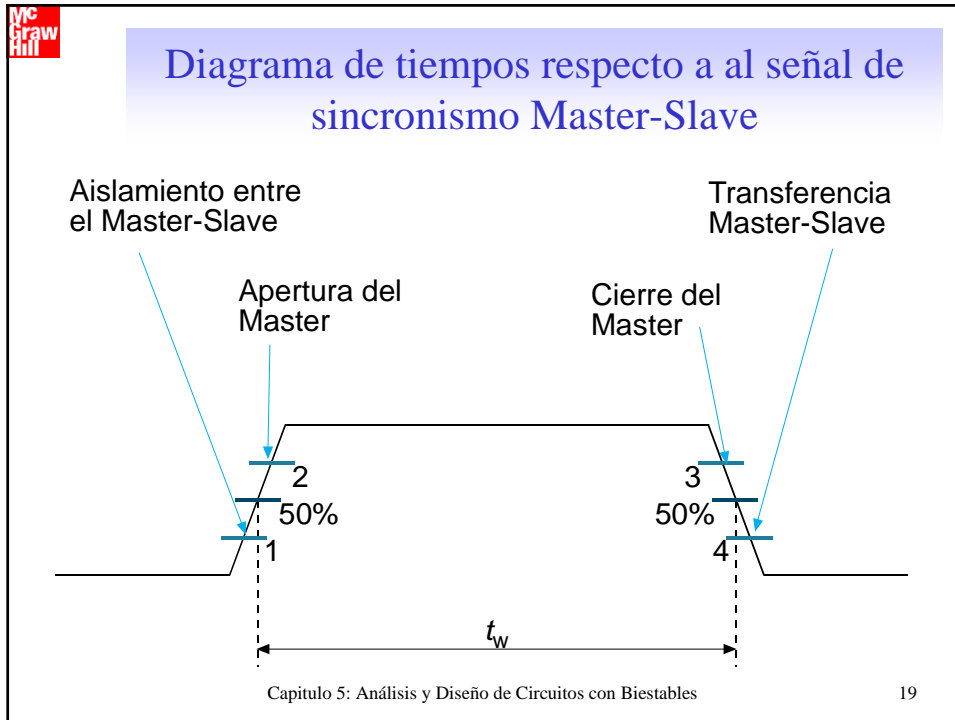
16

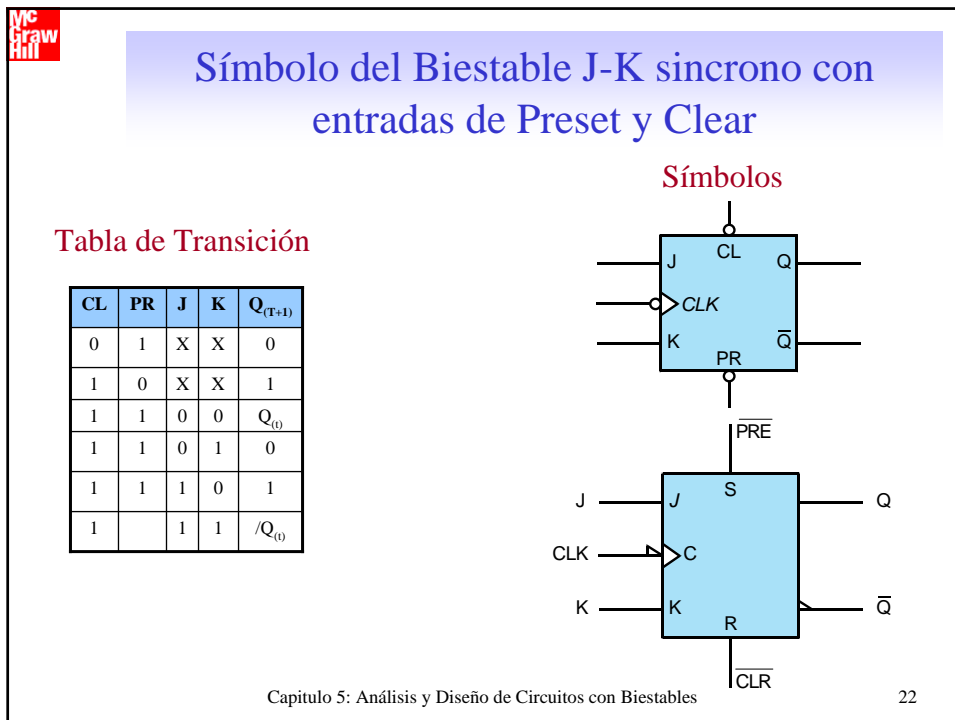
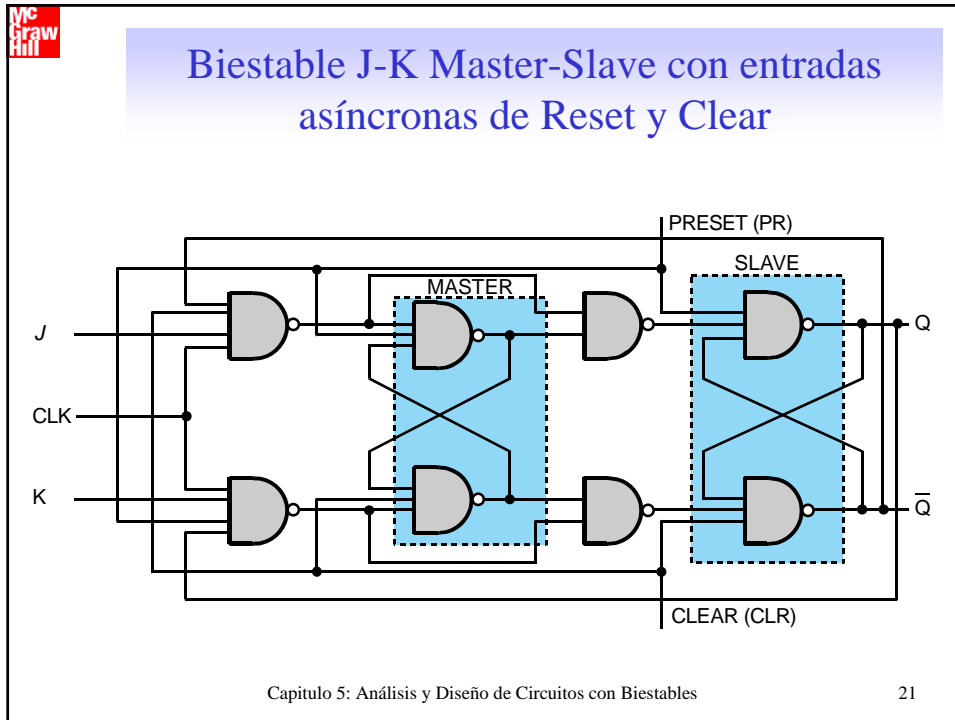
**Circuito antirrebotes**

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 17

**Biastable J-K Master-Slave**

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 18





### Biestable D sincronizado por flanco de subida

**Tabla de Transición**

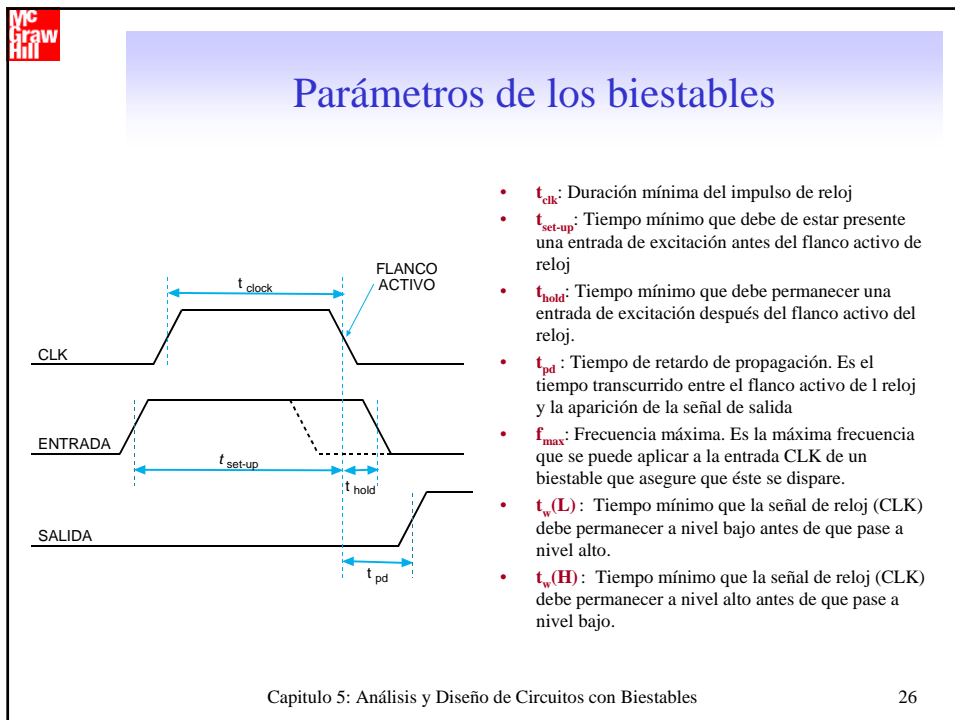
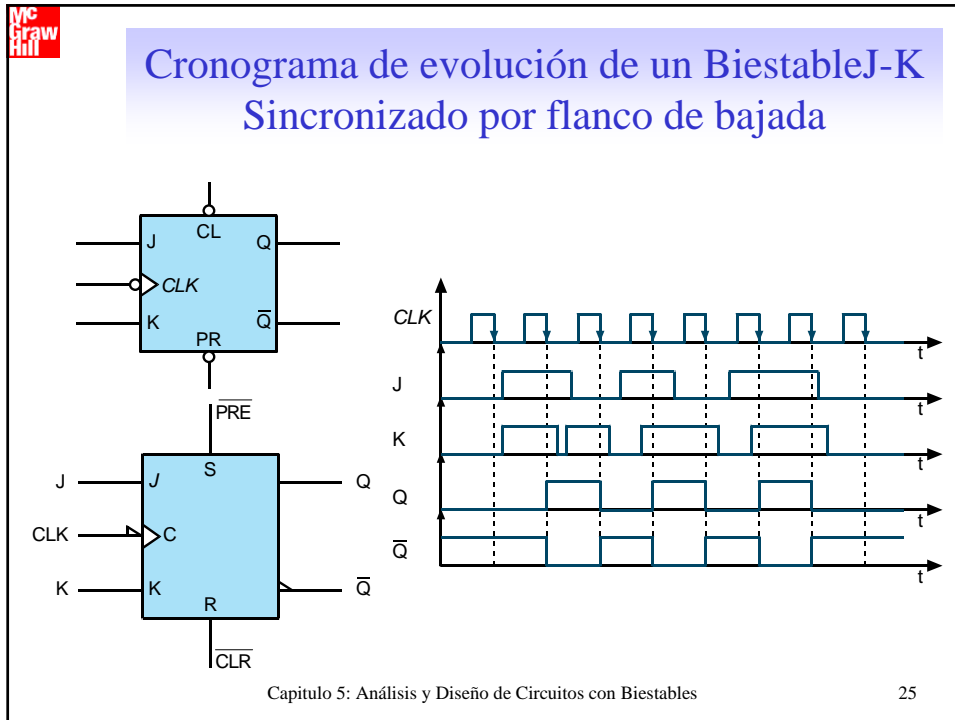
CLK	D	$Q_{(T+1)}$
0	X	$Q_{(t)}$
1	X	$Q_{(t)}$
↑	0	0
↑	1	1

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 23

### Cronograma de evolución de un Biestable D Sincronizado por flanco de subida

**Símbolo**

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 24



### Representación de los biestables como bloques funcionales

**Biestable genérico**

**Representación del biestable 74112**

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 27

### Transformación de un tipo de biestable en otro

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 28

**Transformación de un biestable R-S en uno J-K**

J \ K	00	01	11	10
0			1	1
1	X			X

$S = J\bar{Q}_{(t)}$

J \ K	00	01	11	10
0	X	X		
1		1	1	

$R = KQ_{(t)}$

Implementación de un biestable J-K a partir de un biestable R-S

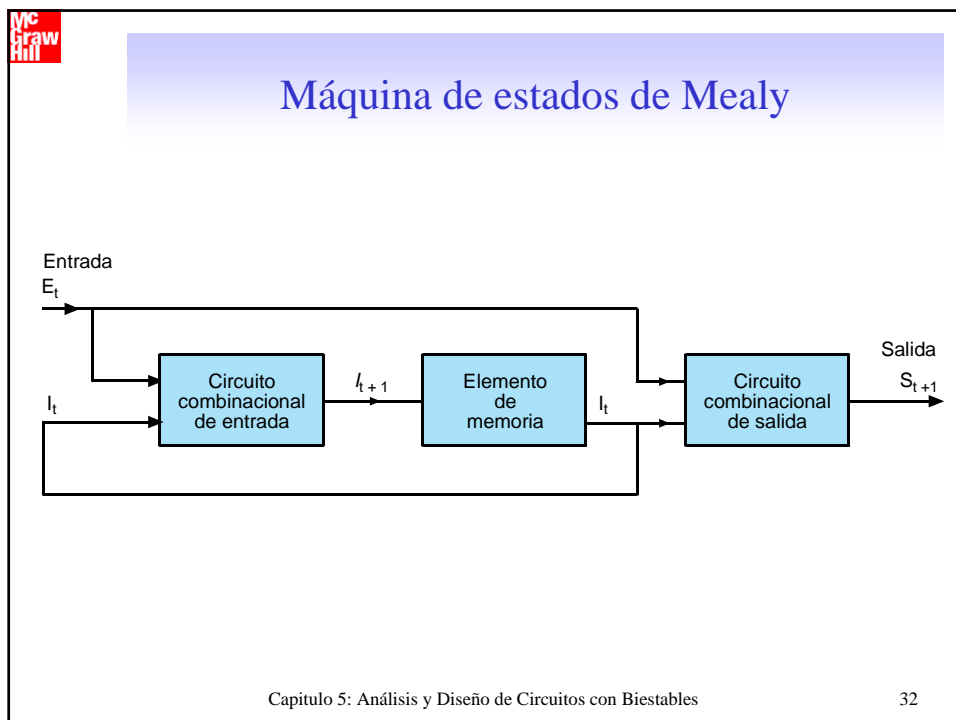
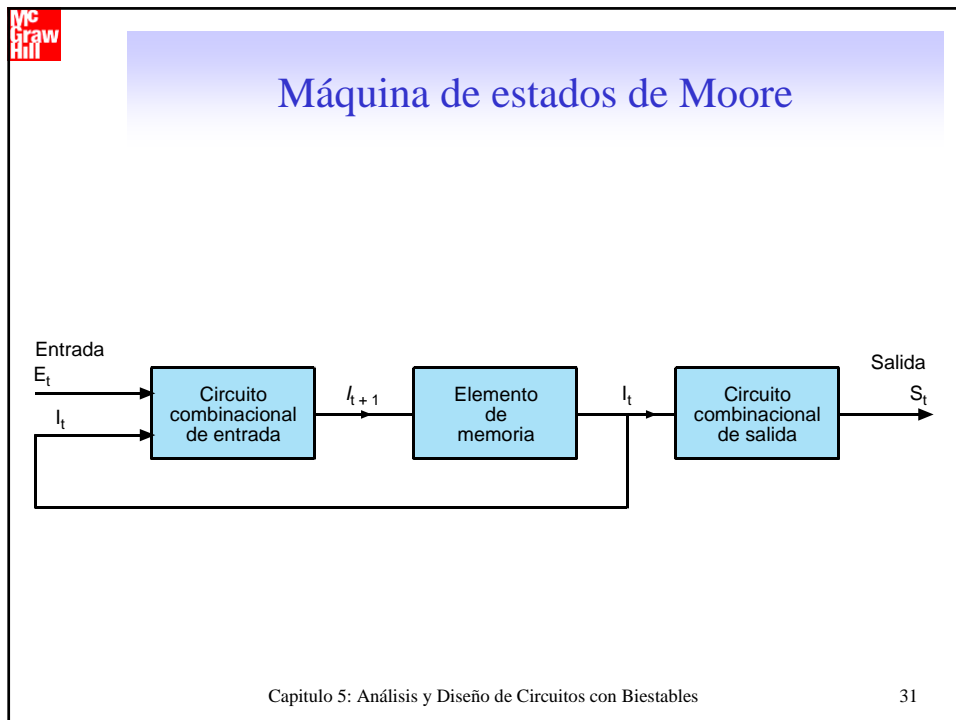
Capítulo 5: Análisis y Diseño de Circuitos con Biestables 29


**Clasificación de los biestables por su forma de disparo**

**Biestables**

- Asíncronos
- Síncronos
  - Por nivel
  - Por flanco
    - Master-Slave
    - Disparo por flanco de subida
    - Disparo por flanco de bajada

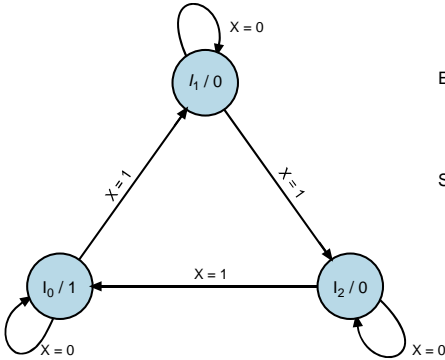
Capítulo 5: Análisis y Diseño de Circuitos con Biestables 30



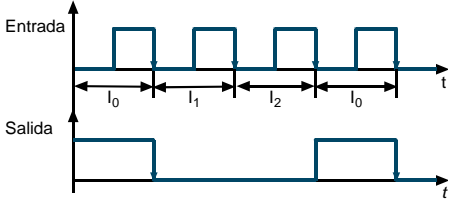


## Divisor de frecuencia por 3. Modelo de Moore

### Diagrama de flujos




### Diagrama de Tiempos



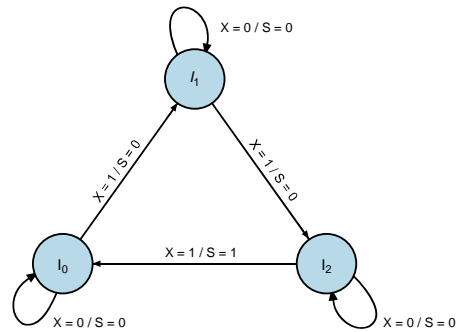
Capítulo 5: Análisis y Diseño de Circuitos con Biestables

33

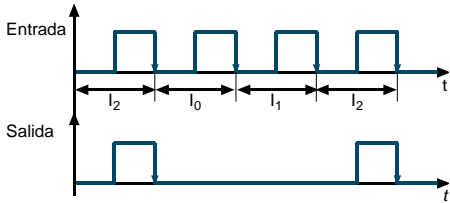


## Divisor de frecuencia por 3. Modelo de Mealy

### Diagrama de flujos

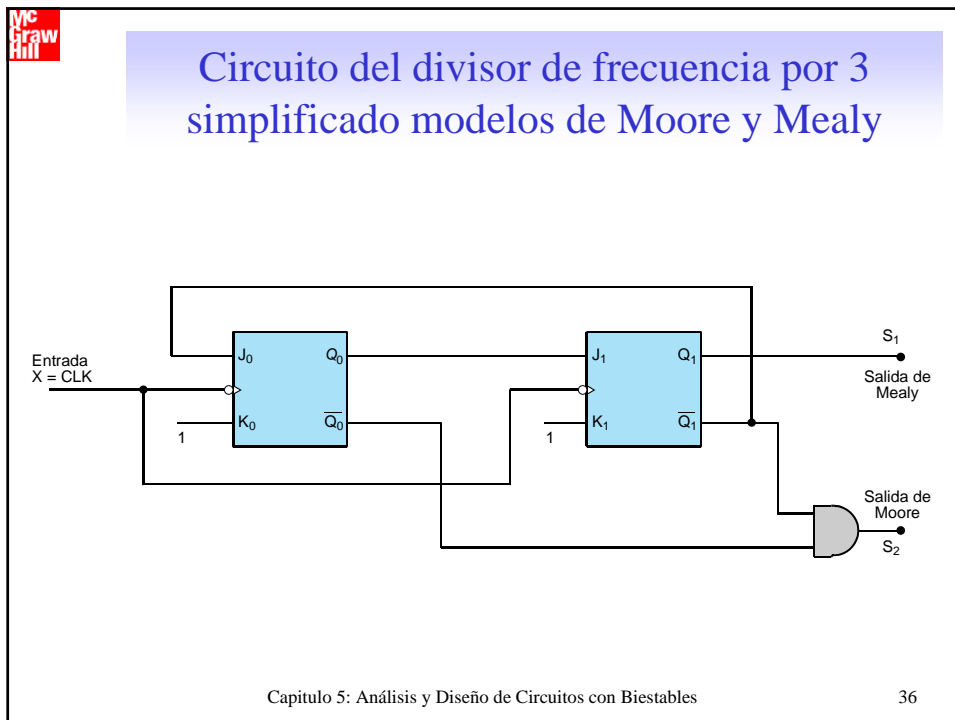
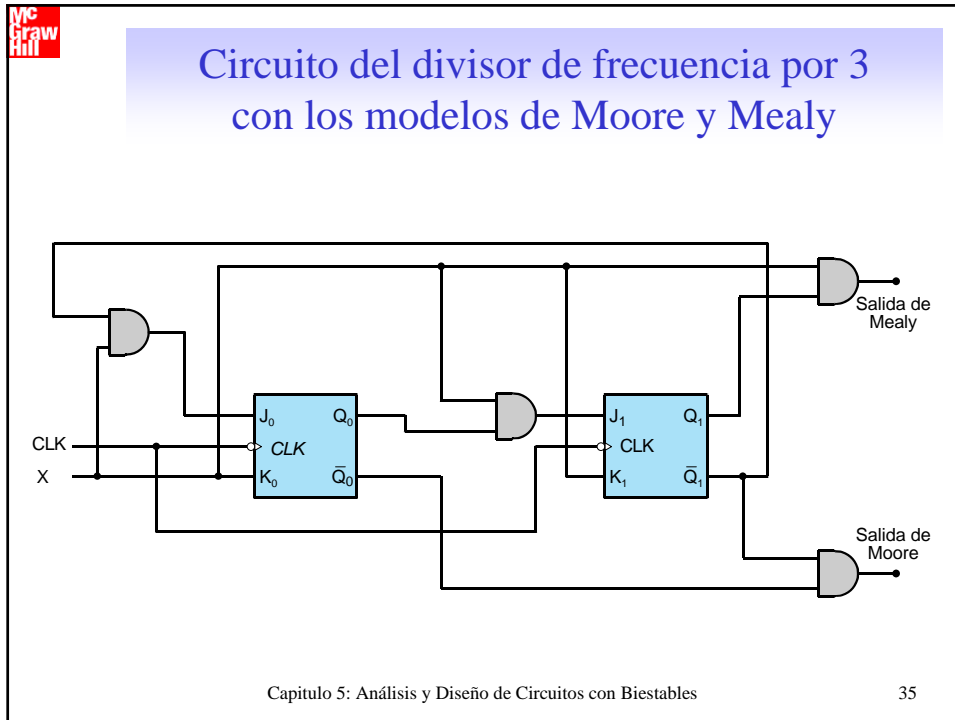


### Diagrama de Tiempos



Capítulo 5: Análisis y Diseño de Circuitos con Biestables

34



### Divisor de frecuencias por 3 con arranque asíncrono e iniciación en frío

**Arranque asíncrono**

**Iniciación en frío**

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 37

### Diseño de un dado electrónico

#### Diagrama de Estados

```

    graph LR
      I0((I0 / 001)) -- X=0 --> I0
      I1((I1 / 010)) -- X=0 --> I1
      I2((I2 / 011)) -- X=0 --> I2
      I3((I3 / 100)) -- X=0 --> I3
      I4((I4 / 101)) -- X=0 --> I4
      I5((I5 / 110)) -- X=0 --> I5
      I0 -- X=1 --> I1
      I1 -- X=1 --> I2
      I2 -- X=1 --> I3
      I3 -- X=1 --> I4
      I4 -- X=1 --> I5
      I5 -- X=1 --> I0
    
```

Capítulo 5: Análisis y Diseño de Circuitos con Biestables 38

