



CIRCUITOS SECUENCIALES: ANÁLISIS Y DISEÑO CON REGISTROS

- Análisis de registros de almacenamiento de datos
- Análisis de registros de desplazamiento
- Circuitos de aplicación con registros

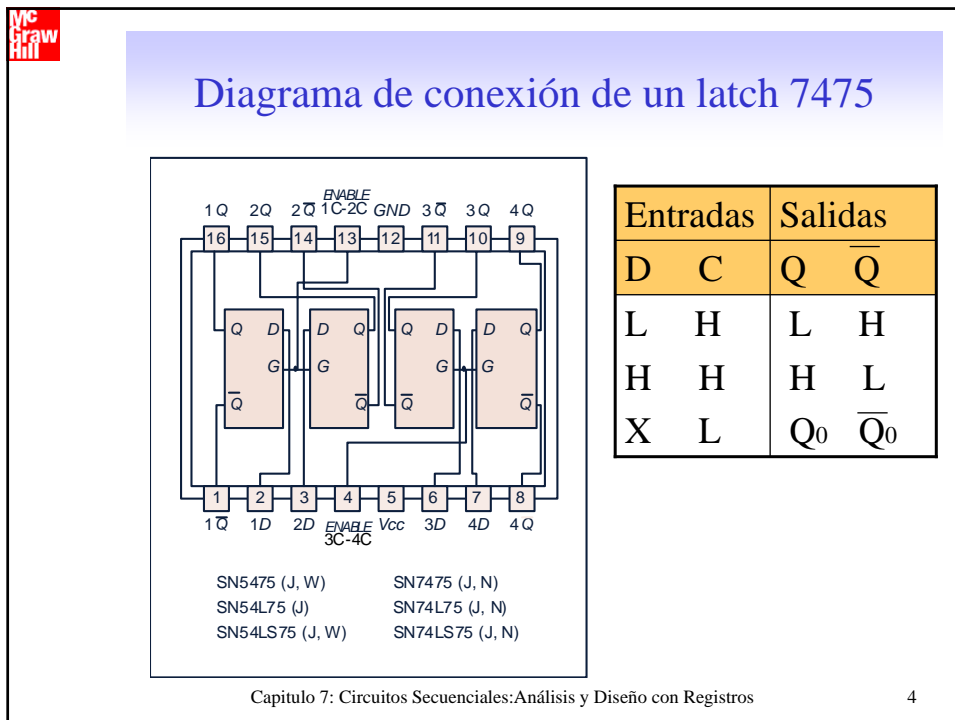
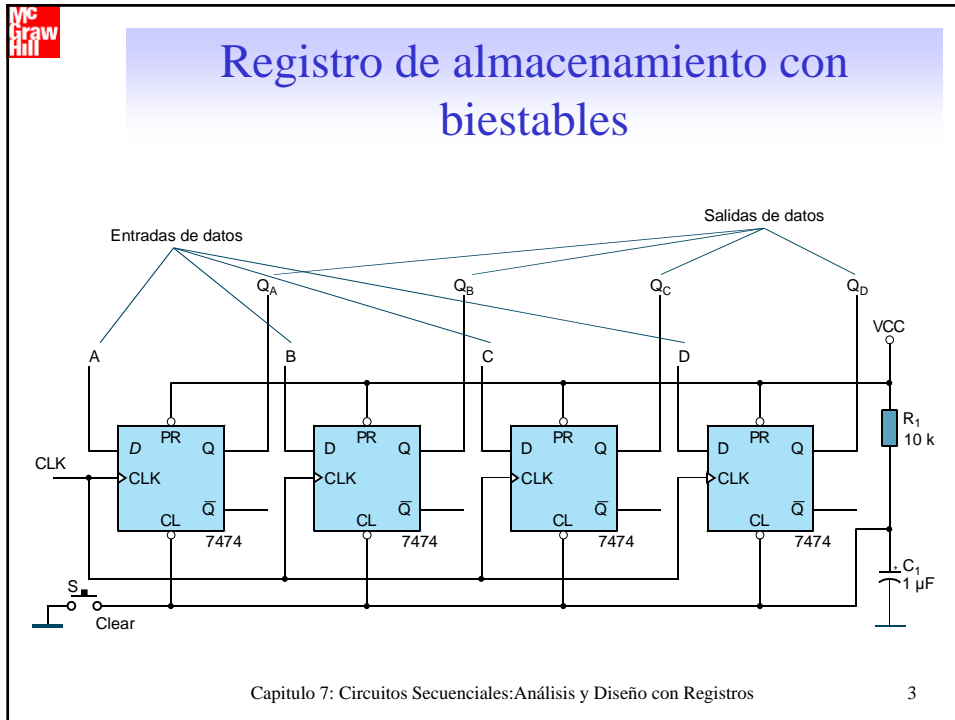
Capítulo 7: Circuitos Secuenciales: Análisis y Diseño con Registros 1

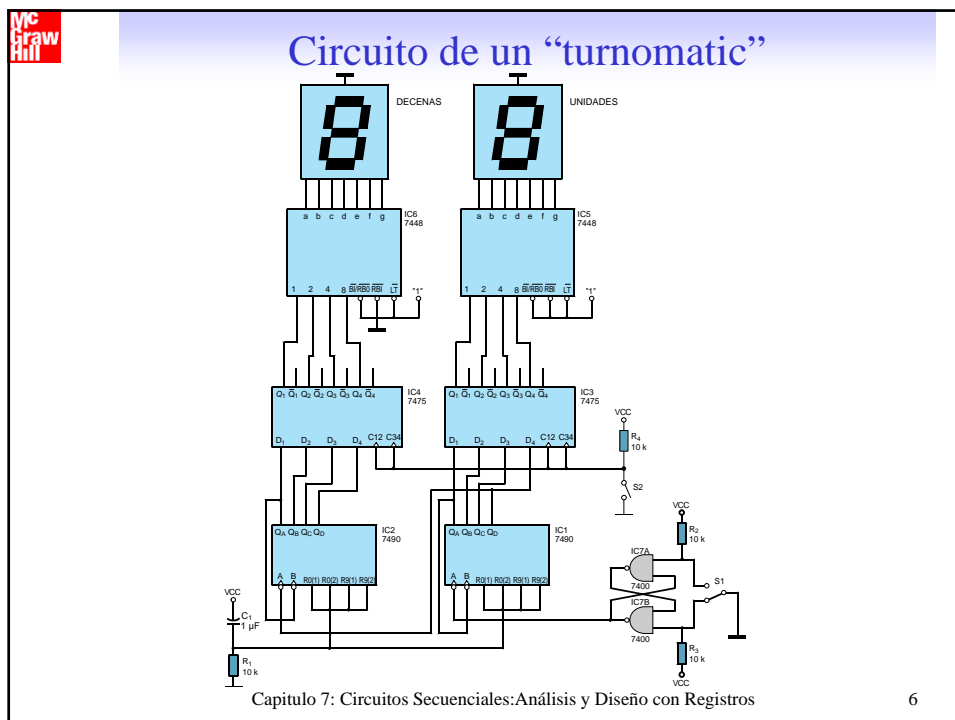
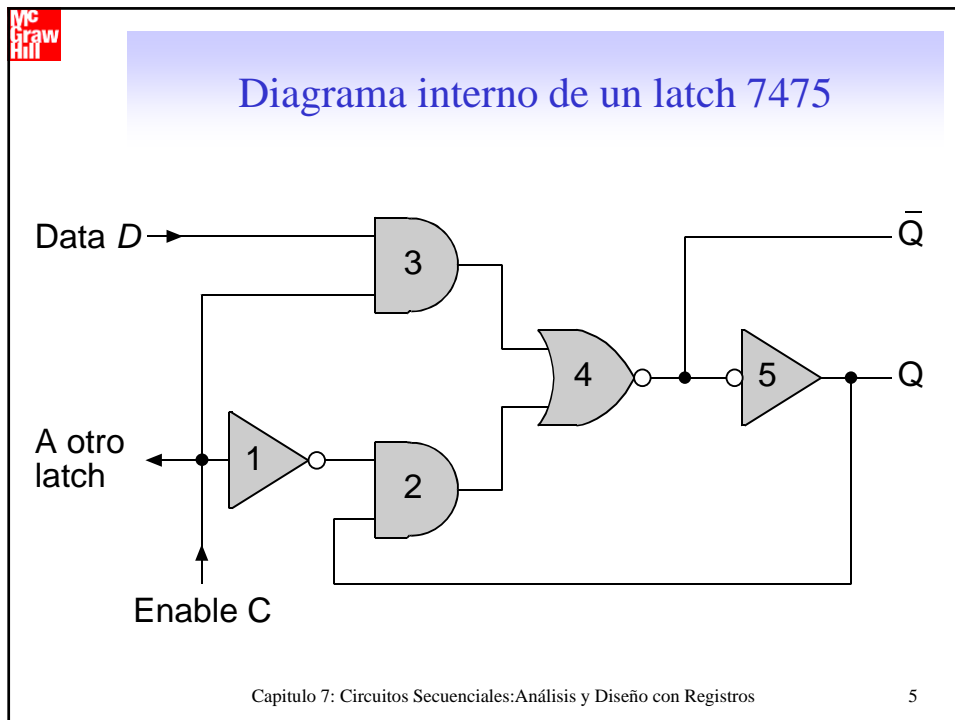


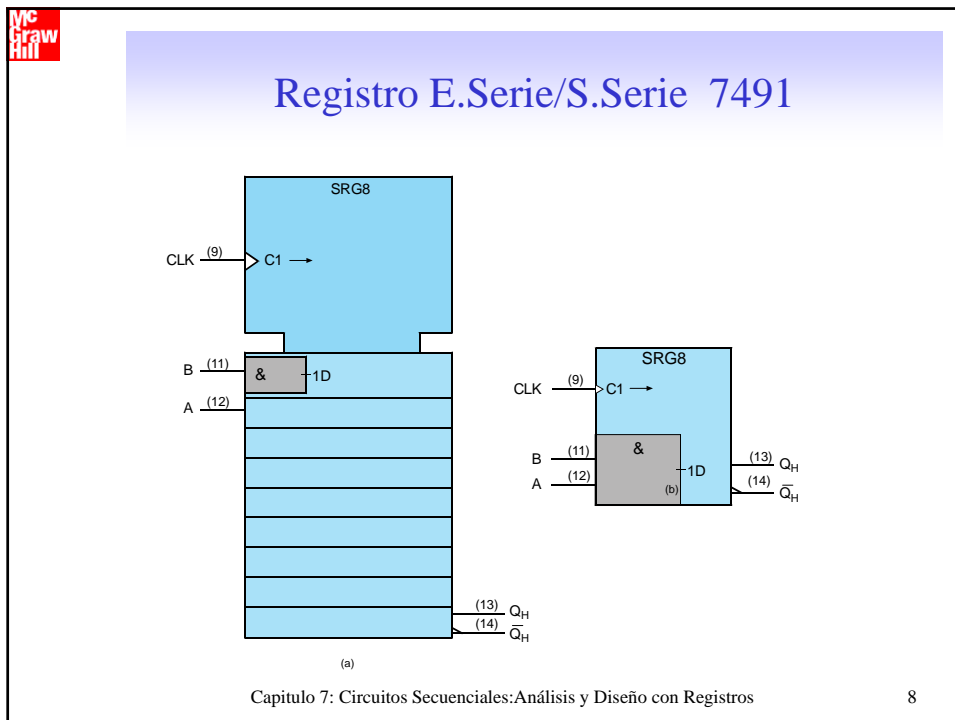
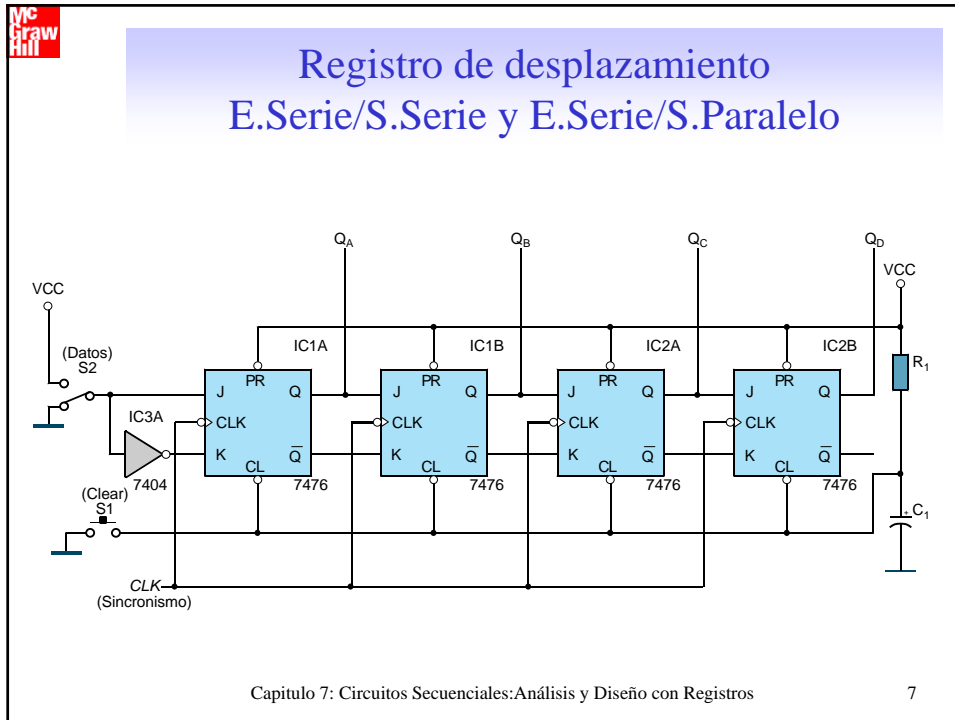
Clasificación de los registros

- **Registros de almacenamiento**
 - Por Flanco
 - Por latch
- **Registros de desplazamiento**
 - Entrada serie/Salida serie
 - Entrada paralelo/Salida paralelo
 - Entrada paralelo/Salida serie
 - Entrada serie/Salida paralelo

Capítulo 7: Circuitos Secuenciales: Análisis y Diseño con Registros 2







Movimiento de la información en un registro entrada serie/salida serie

Estado del registro en el instante inicial

Q _A	Q _B	Q _C	Q _D
0	0	0	0

Entrada 1 → 0 Salida

Estado del registro después del primer flanco de bajada

Q _A	Q _B	Q _C	Q _D
1	0	0	0

Entrada 0 → 0 Salida

Estado del registro después del segundo flanco de bajada

Q _A	Q _B	Q _C	Q _D
0	1	0	0

Entrada 1 → 0 Salida

Estado del registro después del tercer flanco de bajada

Q _A	Q _B	Q _C	Q _D
1	0	1	0

Entrada 0 → 0 Salida

Estado del registro después del cuarto flanco de bajada

Q _A	Q _B	Q _C	Q _D
0	1	0	1

Entrada 1 → 0 Salida

En este instante, en la salida está el primer dato que entró, con tres flancos de bajada más; en la salida se obtienen los tres datos restantes.

Capítulo 7: Circuitos Secuenciales: Análisis y Diseño con Registros 9

Registro E.Serie/S.Serie 7491

Capítulo 7: Circuitos Secuenciales: Análisis y Diseño con Registros 10

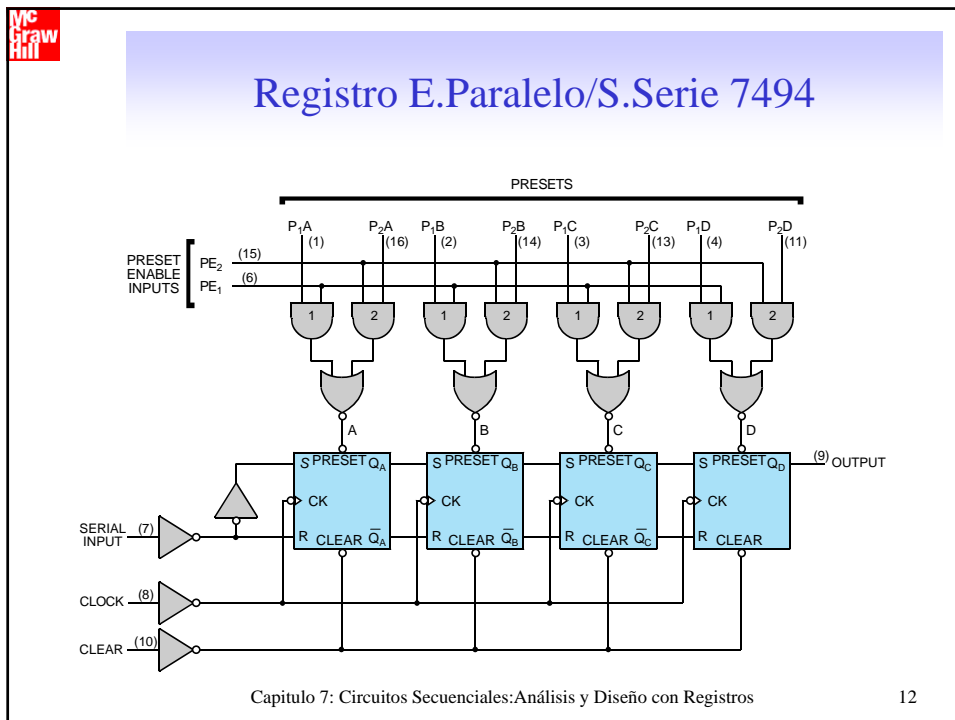
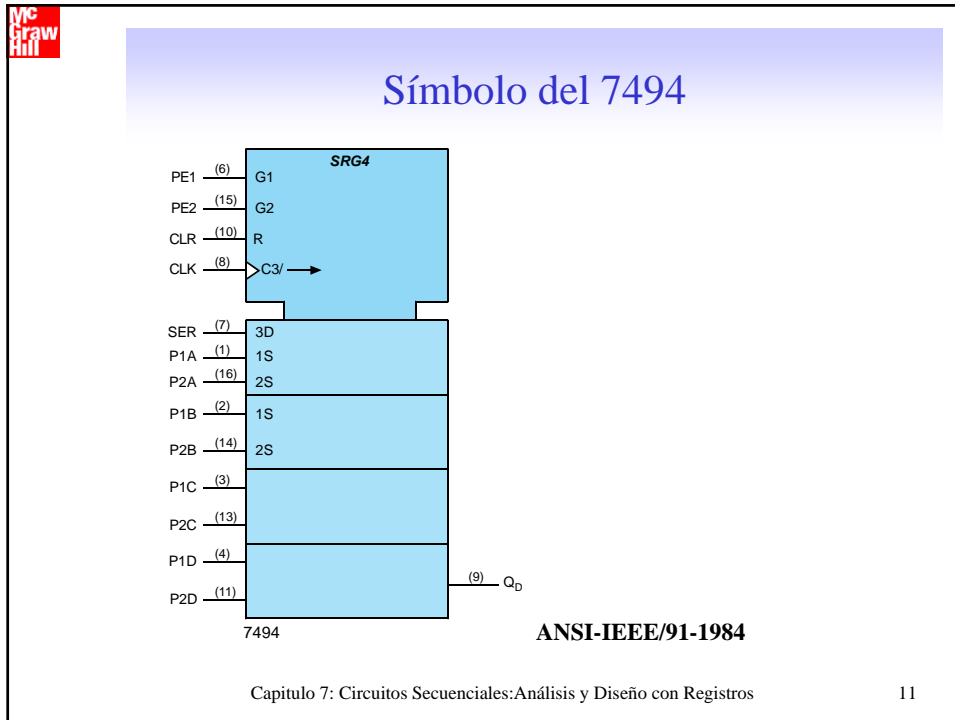


Tabla de funcionamiento del 7494

ENTRADAS DE PRESET				PREST INTERNO A	PRESET INTERNO				ENTRADAS			SALIDAS INTERNAS			SALIDA
PE1	PIA	PE2	P2A		A	B	C	D	CLEAR	CLK	SERIE	QA	QB	QC	QD
L	X	L	X	H (Inactiva)	H	H	H	H	H	X	X	L	L	L	L
L	X	X	L	H (Inactiva)	L	L	L	L	L	X	X	H	H	H	H
X	L	L	X	H (Inactiva)	H	H	H	H	H	L	X	QA0	QB0	QC0	QD0
X	L	X	L	H (Inactiva)	H	L	H	L	L	L	X	H	QA0	H	QD0
H	H	X	X	L (Activa)	H	H	H	H	L	↑	H	H	QAn	Qbn	Qcn
X	X	H	X	L (Activa)	H	H	H	H	L	↑	L	L	QAn	Qbn	Qcn

Capítulo 7: Circuitos Secuenciales: Análisis y Diseño con Registros 13

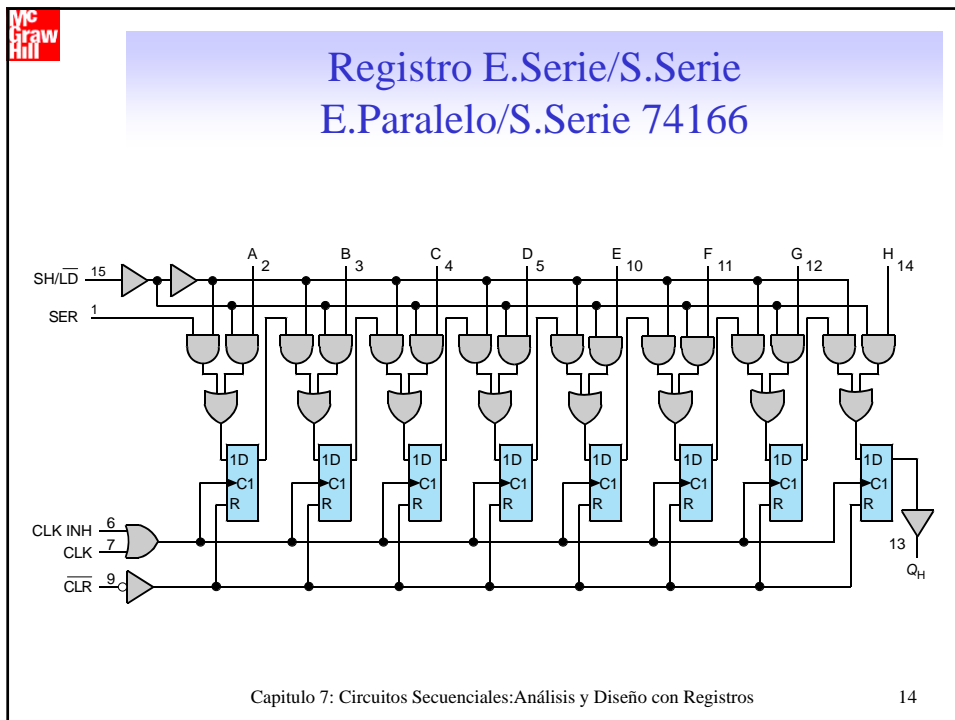


Tabla de funcionamiento del 74166

ENTRADAS						SALIDAS INTERNAS		SALIDA Q_H
CLEAR	SHIFT/ LOAD	CLOCK <u>INHIBIT</u>	CLOCK	SERIAL	PARALE LO A.....H	Q_A	Q_B	
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	L	↑	X	a.....h	a	b	h
H	H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	X	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

H = nivel alto; L= nivel bajo ; ↑ = flanco de subida ; a.....h = el nivel de las entras A.....H respectivamente
 $Q_{A0}, Q_{B0}, \dots, Q_{H0}$ = Estado de Q_A, Q_B, \dots, Q_H respectivamente después de un flanco de subida de la señal de reloj
 $Q_{An}, Q_{Bn}, \dots, Q_{Hn}$ = Nivel de Q_A, Q_B, \dots, Q_H respectivamente antes de un flanco de subida de la señal de reloj.

Capítulo 7: Circuitos Secuenciales: Análisis y Diseño con Registros
15

Registro E.Serie/S.Serie E.Paralelo/S.Serie 74166

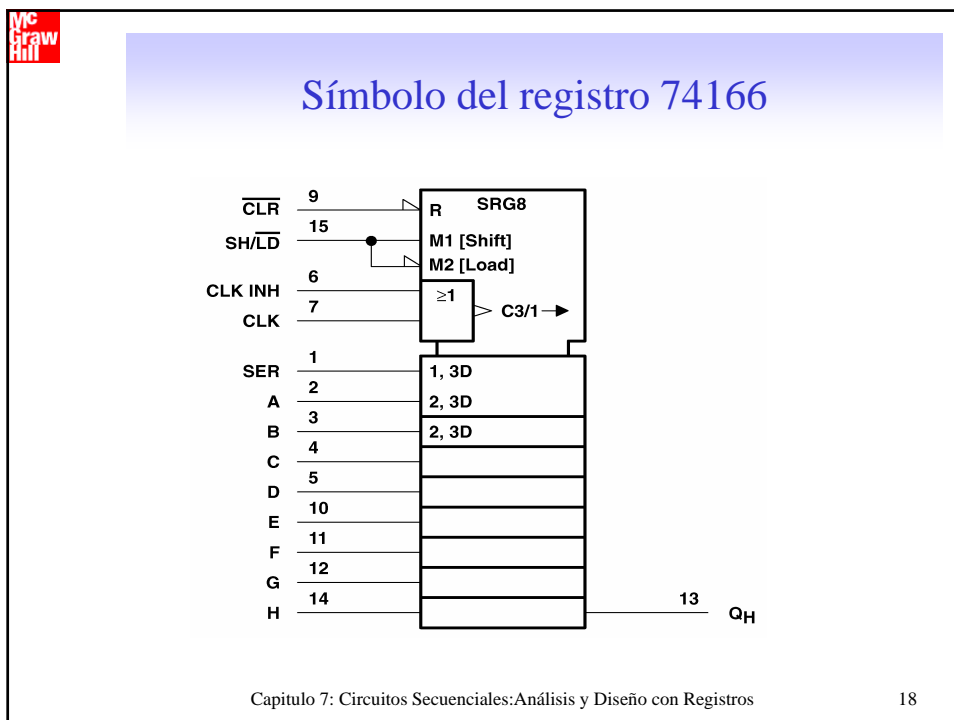
CLEAR SERIAL SHIFT INHIBIT LOAD SERIAL SHIFT

Capítulo 7: Circuitos Secuenciales: Análisis y Diseño con Registros
16

Tabla de funcionamiento del 74166

INPUTS					PARALLEL A...H	INTERNAL OUTPUTS		OUTPUT QH
CLR	SH/LD	CLK INH	CLK	SER		QA	QB	
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	QA0	QB0	QH0
H	L	L	↑	X	a...h	a	b	h
H	H	L	↑	H	X	H	QAn	QGn
H	H	L	↑	L	X	L	QAn	QGn
H	X	H	↑	X	X	QA0	QB0	QH0

Capítulo 7: Circuitos Secuenciales: Análisis y Diseño con Registros 17



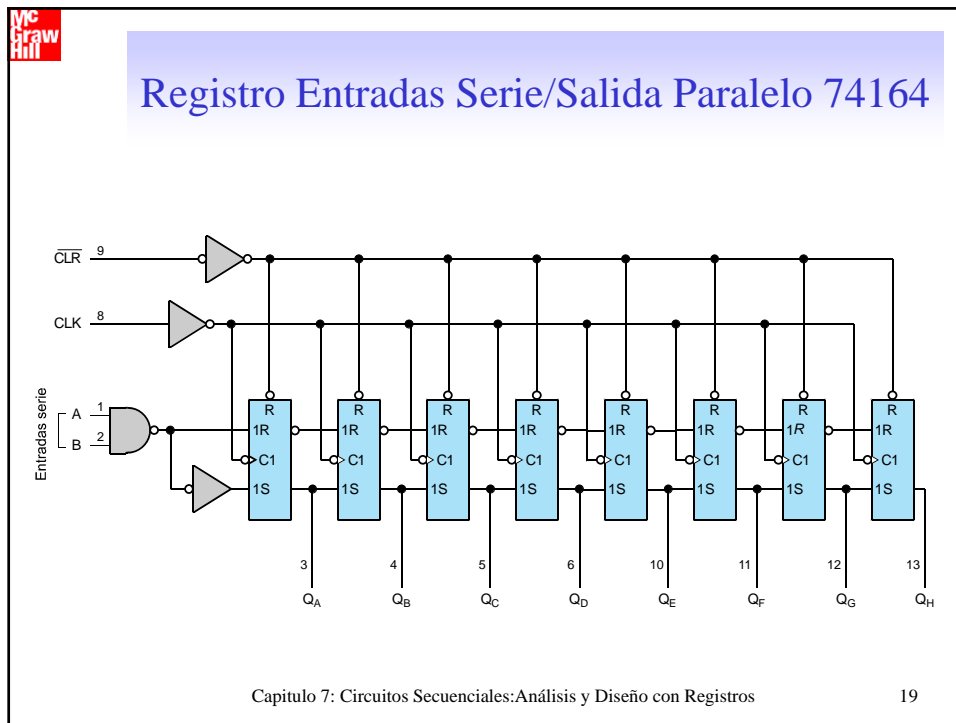
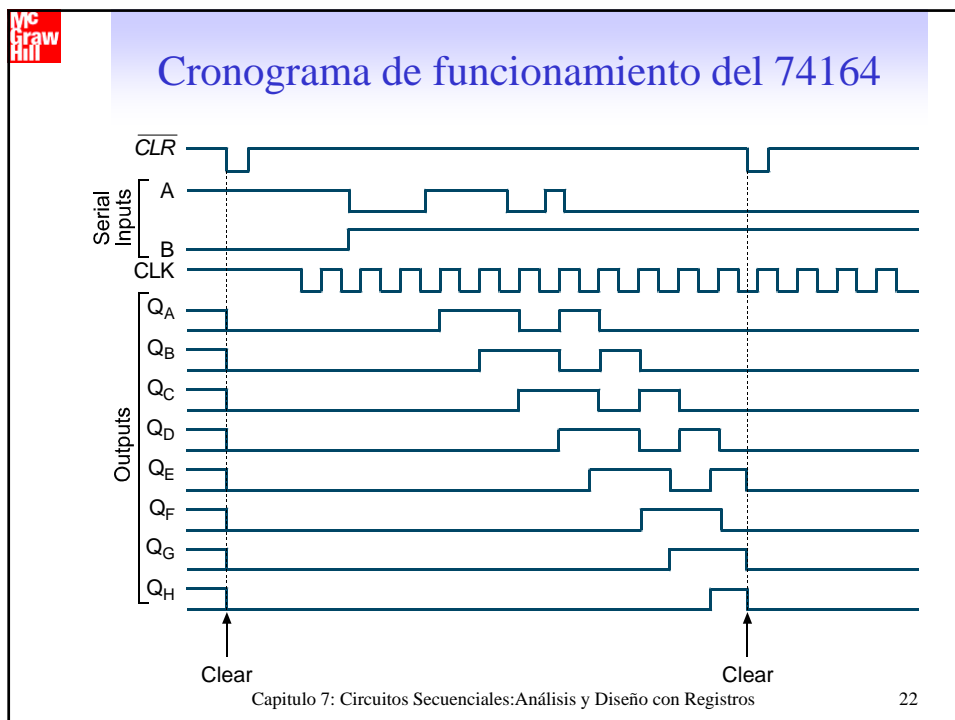
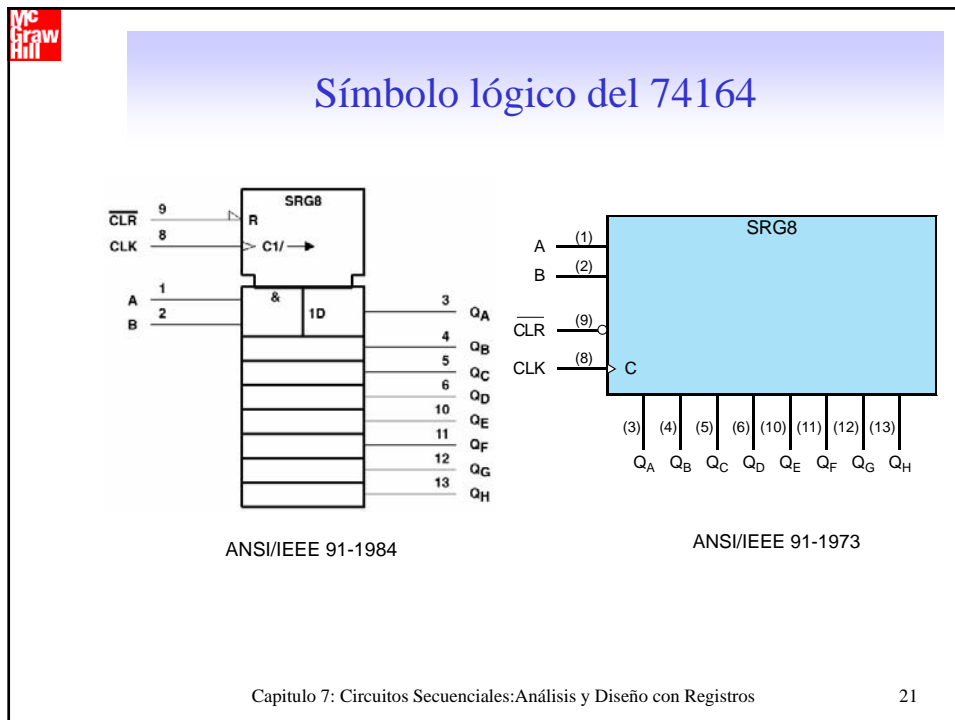
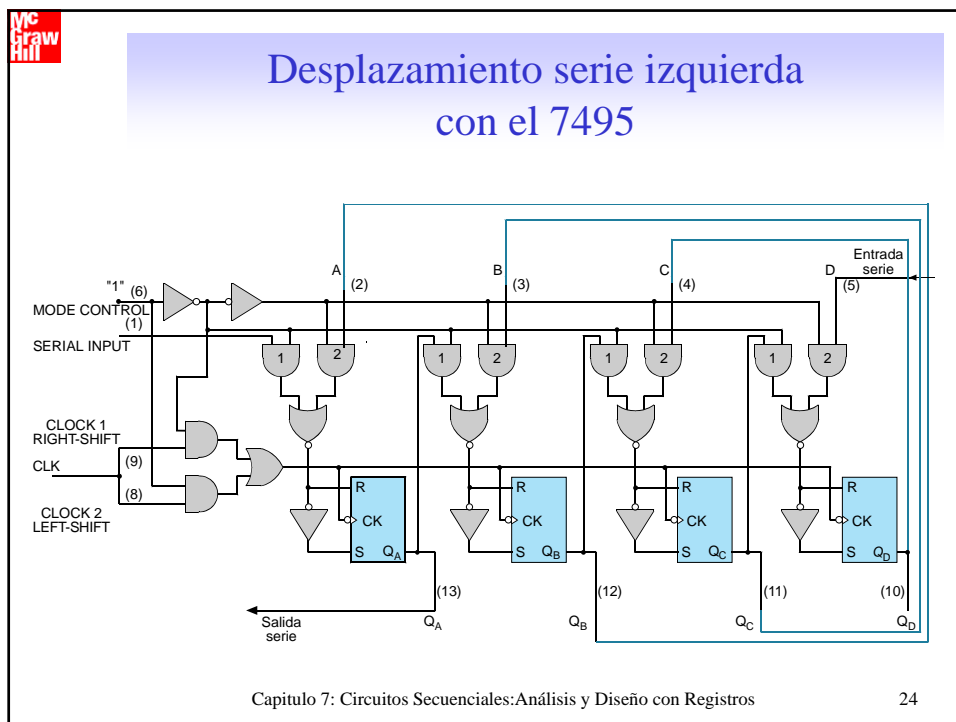
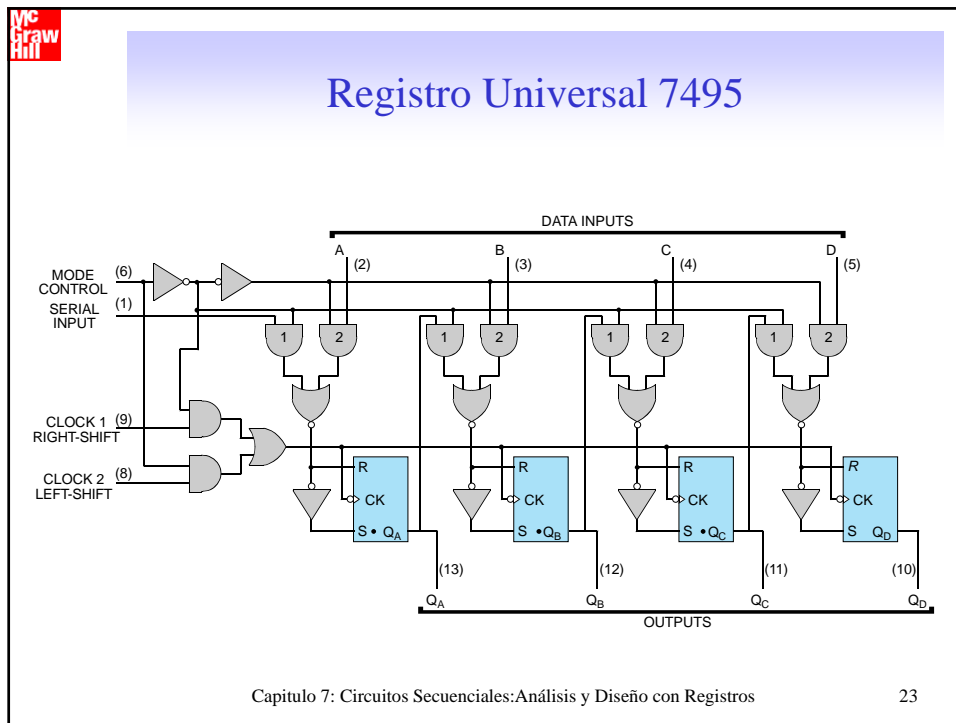


Tabla de funcionamiento del 74164

INPUTS				OUTPUTS†		
$\overline{\text{CLR}}$	CLK	A	B	QA	QB ... QH	
L	X	X	X	L	L	L
H	L	X	X	QA0	QB0	QH0
H	↑	H	H	H	QAn	QGn
H	↑	L	X	L	QAn	QGn
H	↑	X	L	L	QAn	QGn

Capítulo 7: Circuitos Secuenciales: Análisis y Diseño con Registros 20





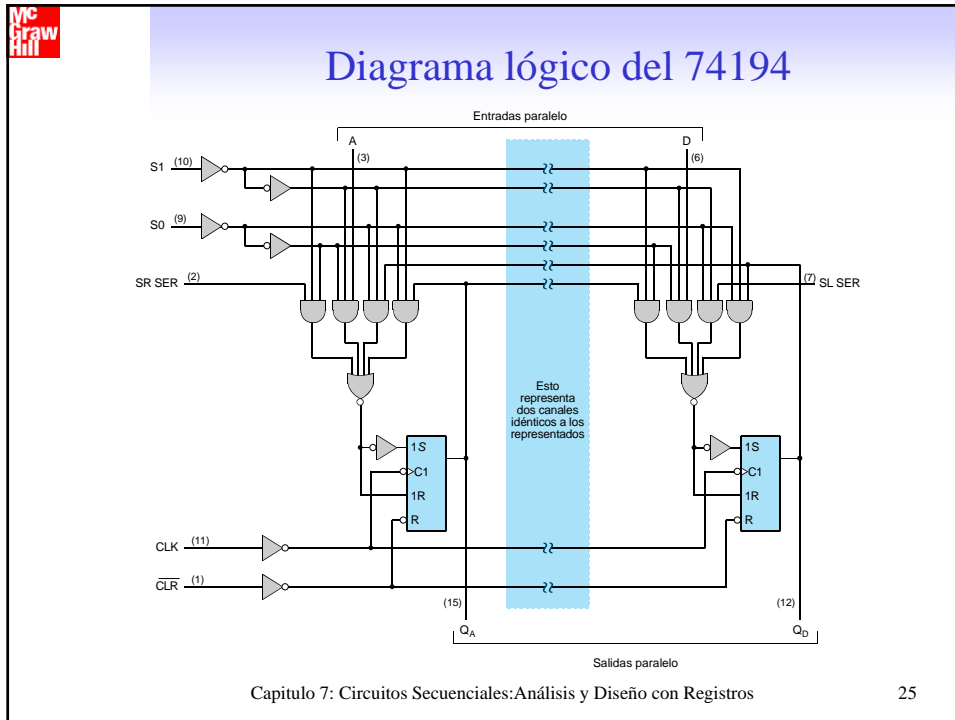
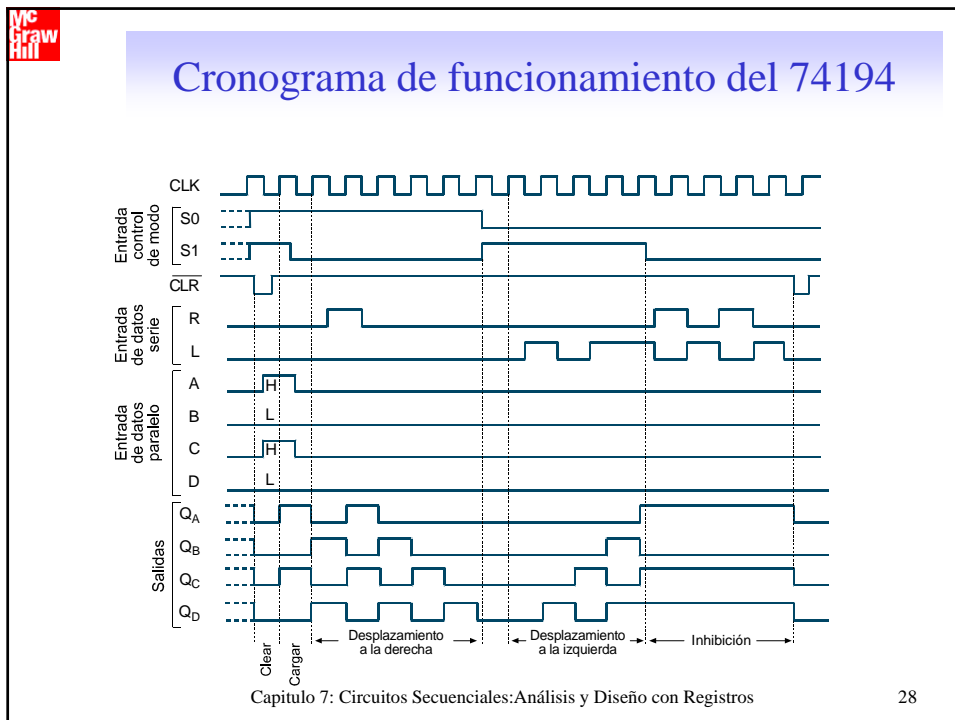
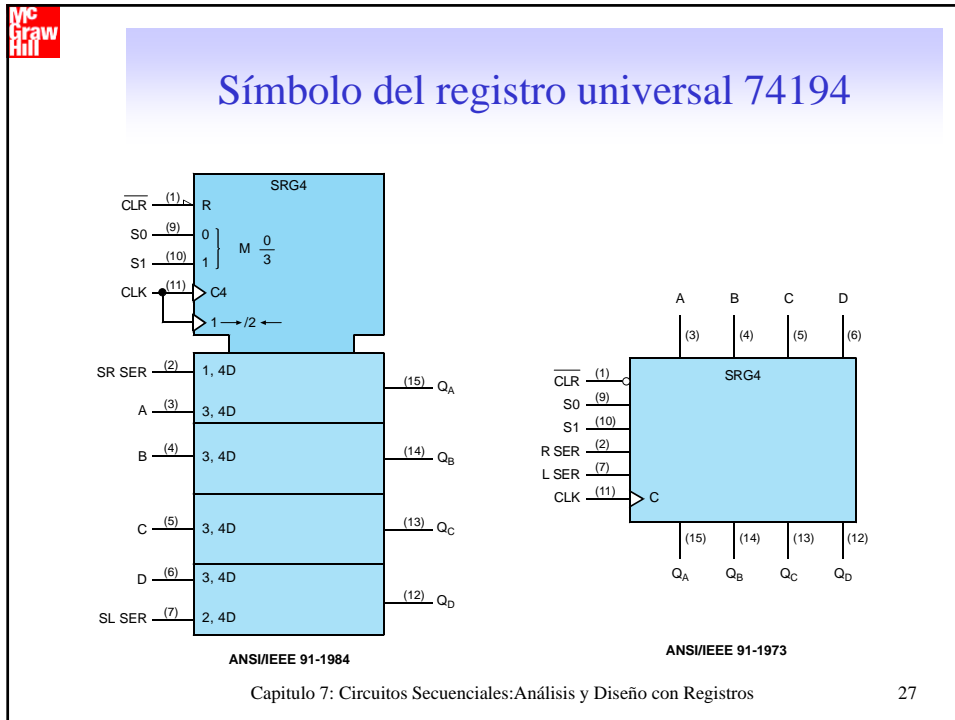
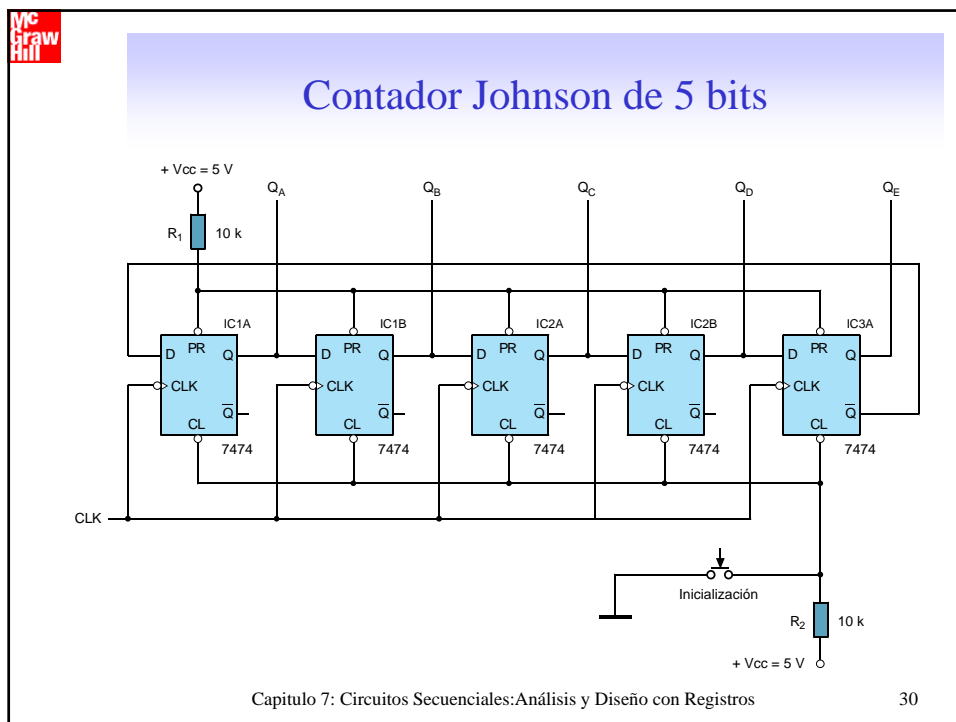
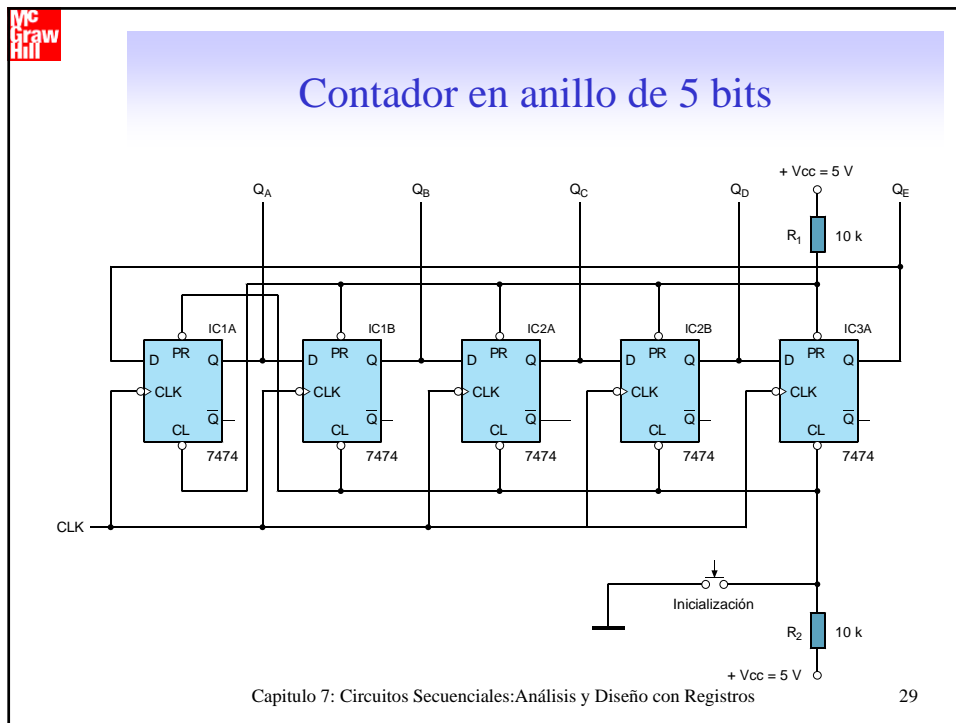


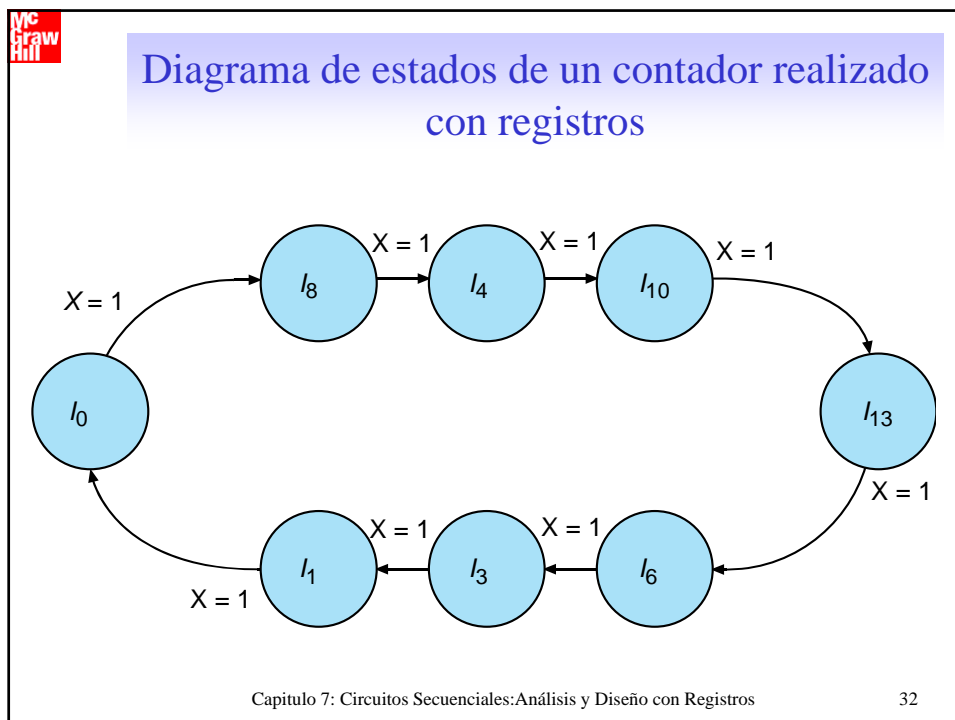
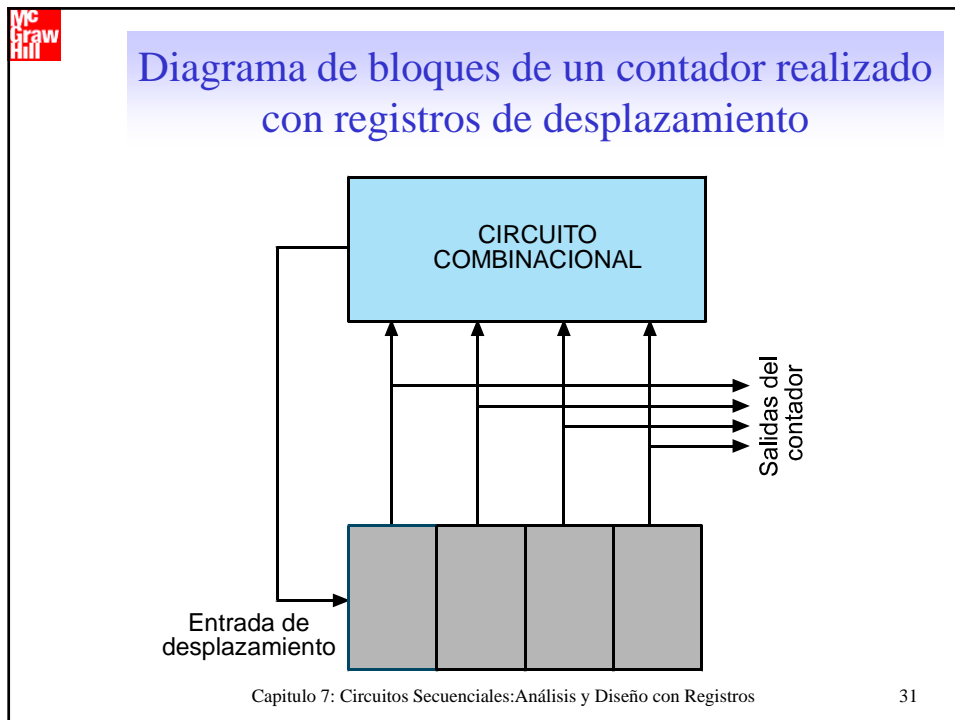
Tabla de funcionamiento del 74194

				INPUTS				OUTPUTS					
$\overline{\text{CLR}}$	MODE		CLK	SERIAL		PARALLEL				QA	QB	QC	QD
	S1	S0		LEFT	RIGHT	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	QA0	QB0	QC0	QD0
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	QAn	QBn	QCn
H	L	H	↑	X	L	X	X	X	X	L	QAn	QBn	QCn
H	H	L	↑	H	X	X	X	X	X	QBn	QCn	QDn	H
H	H	L	↑	L	X	X	X	X	X	QBn	QCn	QDn	L
H	L	L	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0

Capítulo 7: Circuitos Secuenciales: Análisis y Diseño con Registros 26











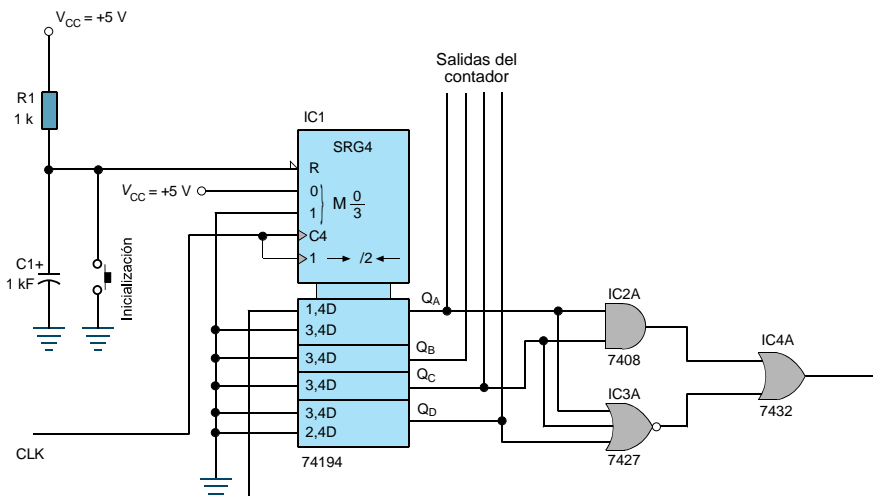
Tabla de estados del contador

Estado Presente				Estado Futuro				Entrada Serie		
Decimal	Q _{A(t)}	Q _{B(t)}	Q _{C(t)}	Q _{D(t)}	Decimal	Q _{A(t+1)}	Q _{B(t+1)}		Q _{C(t+1)}	Q _{D(t+1)}
0	0	0	0	0	8	1	0	0	0	1
8	1	0	0	0	4	0	1	0	0	0
4	0	1	0	0	10	1	0	1	0	1
10	1	0	1	0	13	1	1	0	1	1
13	1	1	0	1	6	0	1	1	0	0
6	0	1	1	0	3	0	0	1	1	0
3	0	0	1	1	1	0	0	0	1	0
1	0	0	0	1	0	0	0	0	0	0

Capítulo 7: Circuitos Secuenciales: Análisis y Diseño con Registros 33



Circuito contador con registro de desplazamiento



Capítulo 7: Circuitos Secuenciales: Análisis y Diseño con Registros 34