


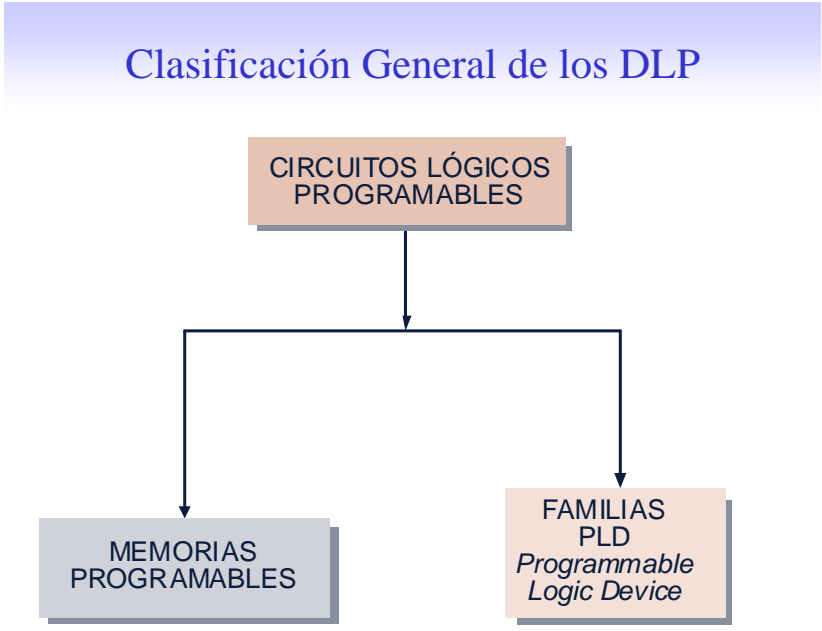
ANÁLISIS Y DISEÑO CON DISPOSITIVOS LÓGICOS PROGRAMABLES

- Clasificación general de los DLP
- Arquitectura de los DLP
- Diseño de circuitos con Matrices Lógicas

Capítulo 9: Análisis y diseño con DLP 1

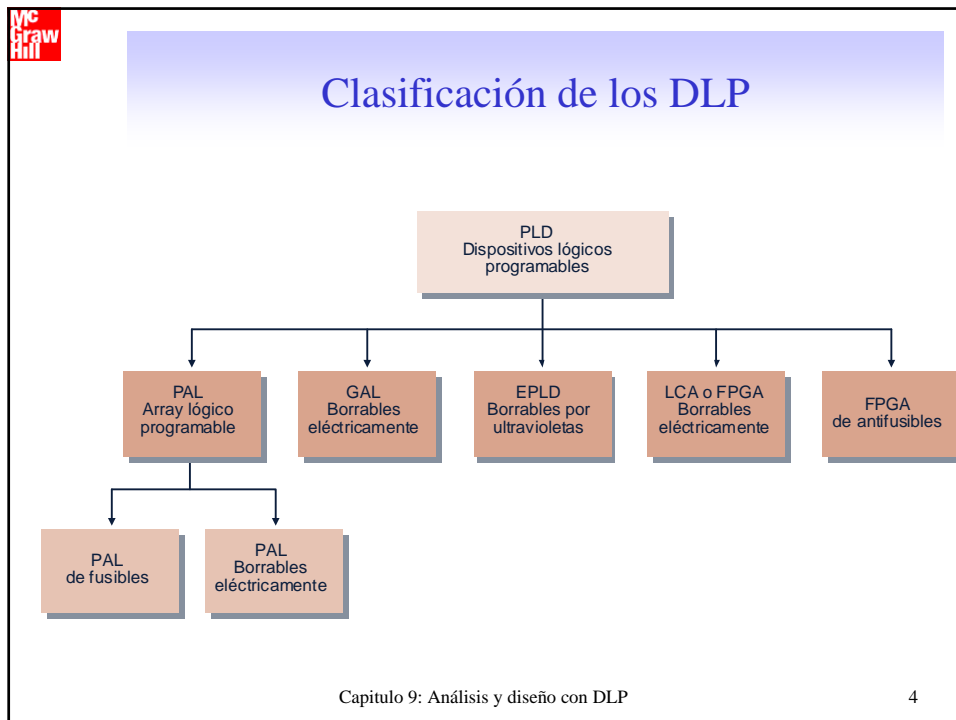
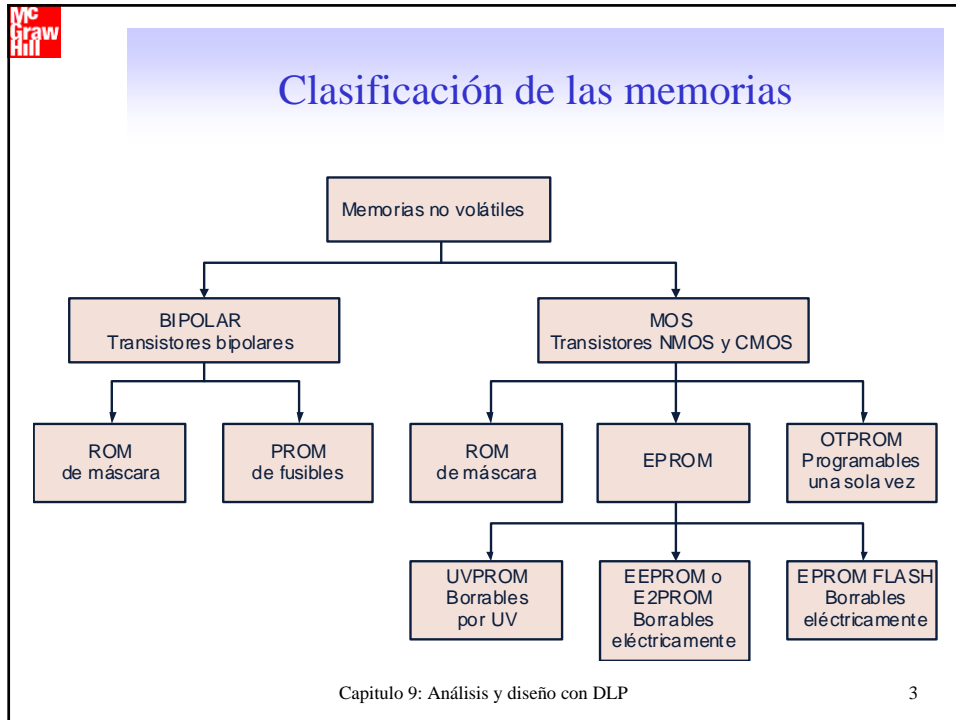


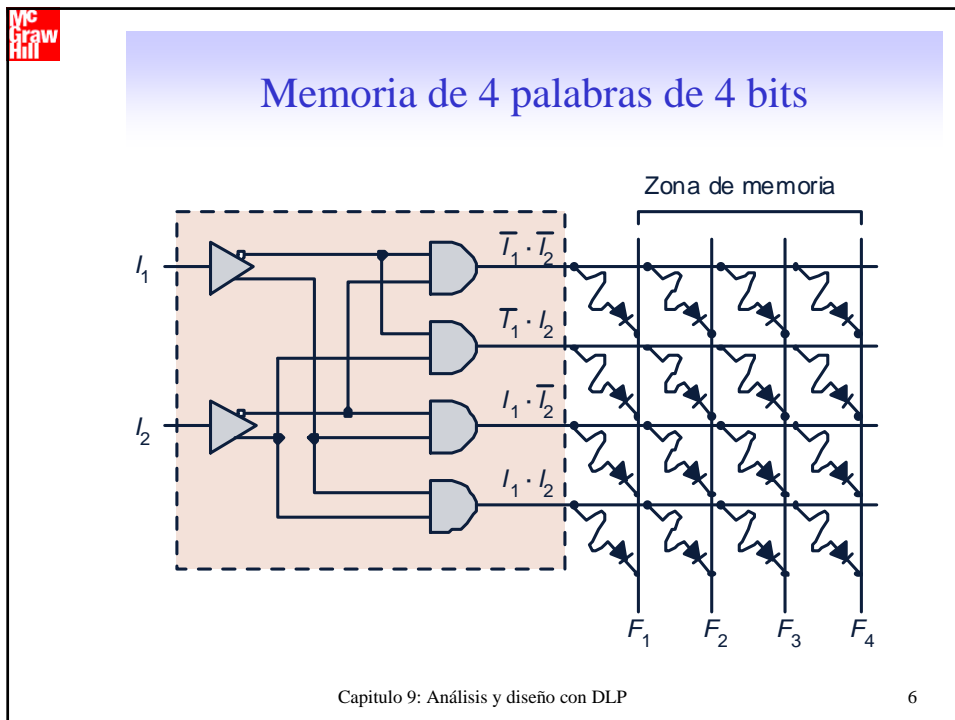
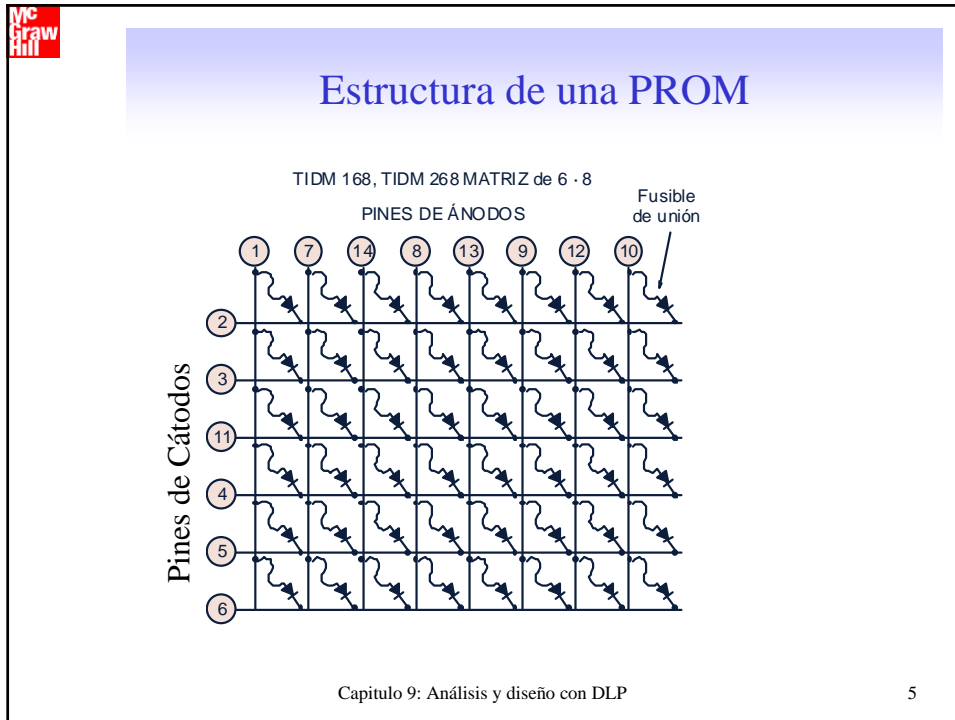
Clasificación General de los DLP

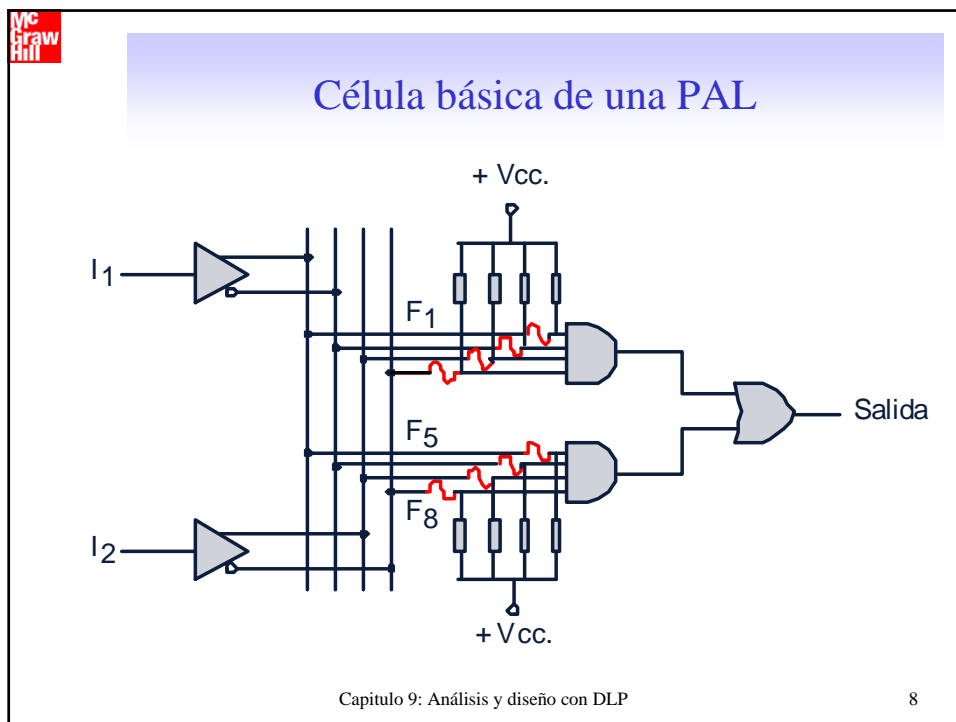
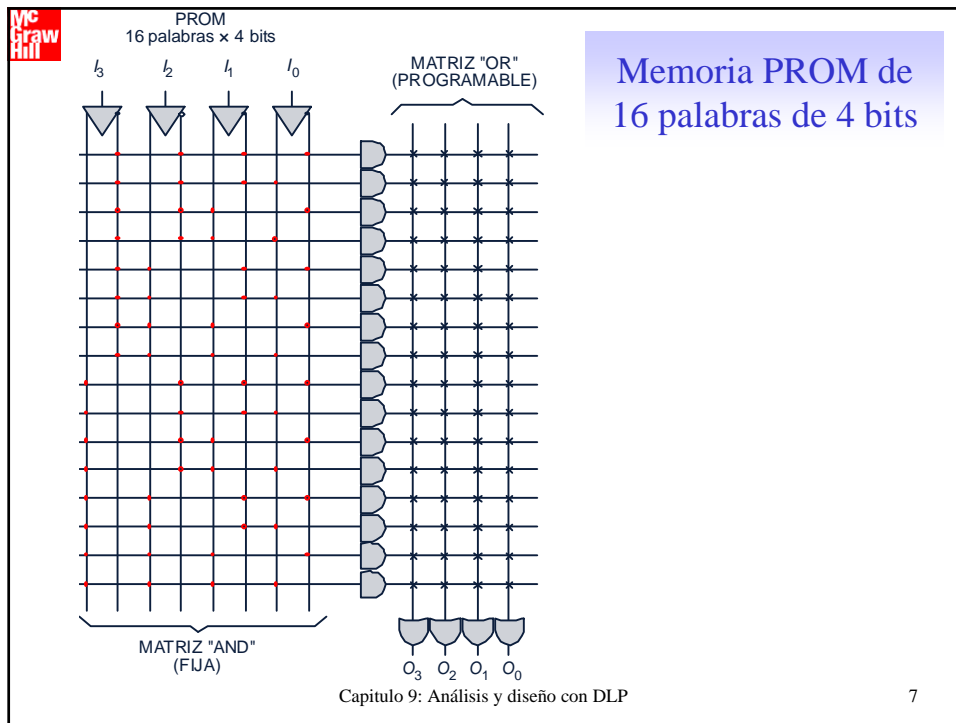


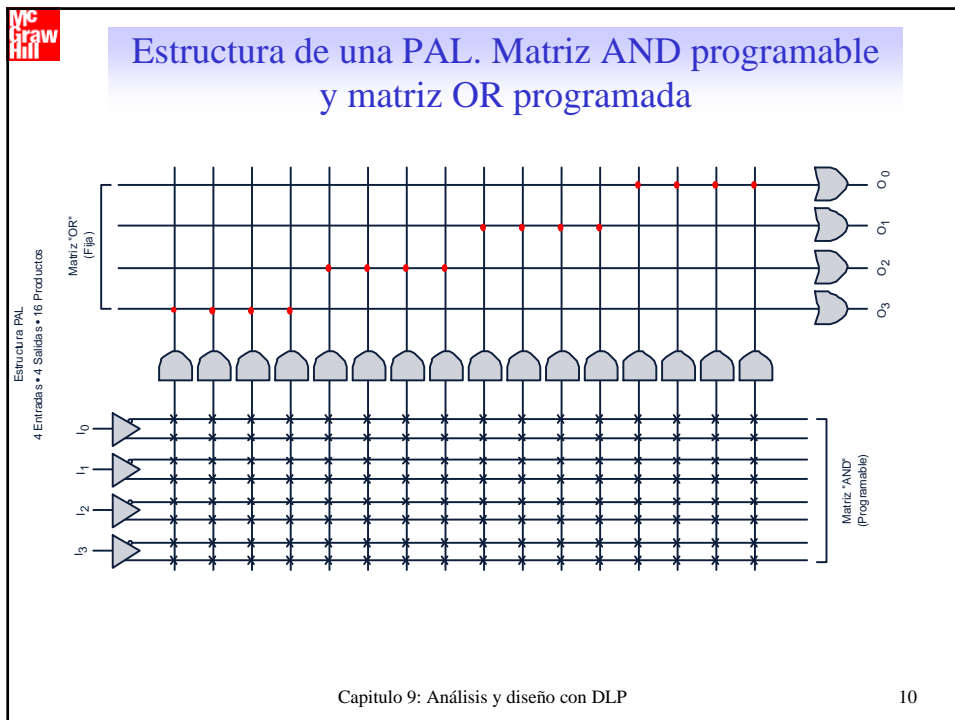
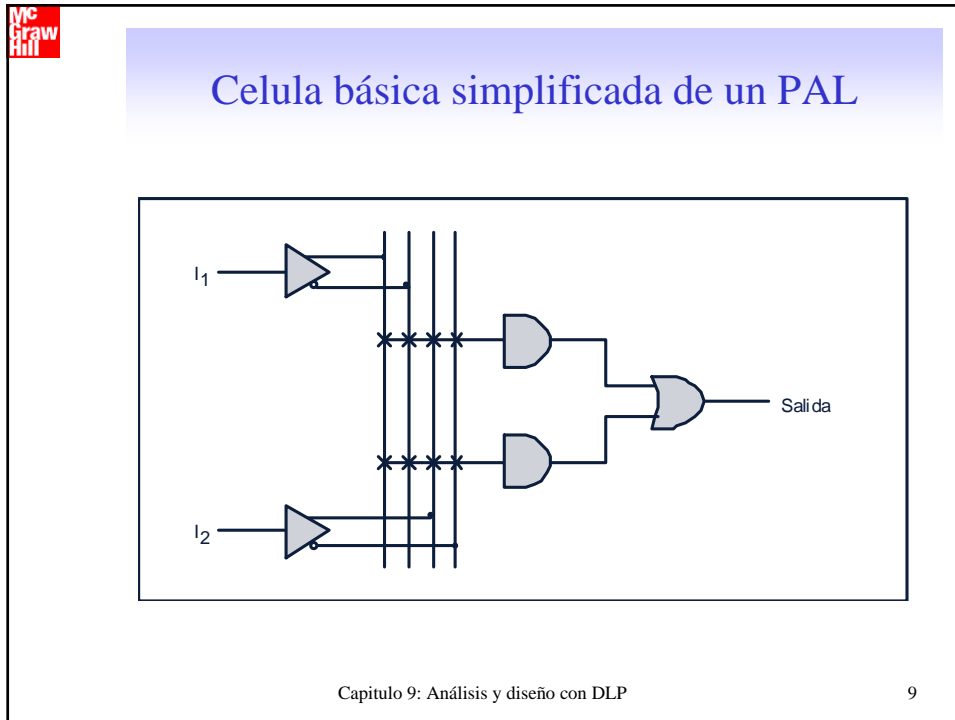
```
graph TD; A[CIRCUITOS LÓGICOS PROGRAMABLES] --> B[MEMORIAS PROGRAMABLES]; A --> C[FAMILIAS PLD Programmable Logic Device]
```

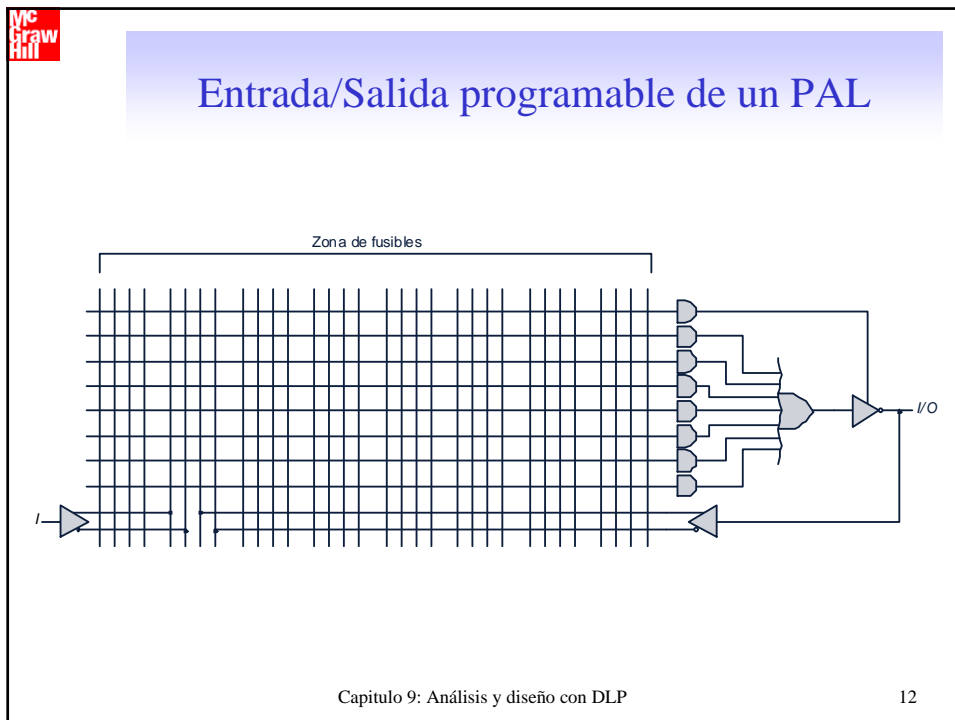
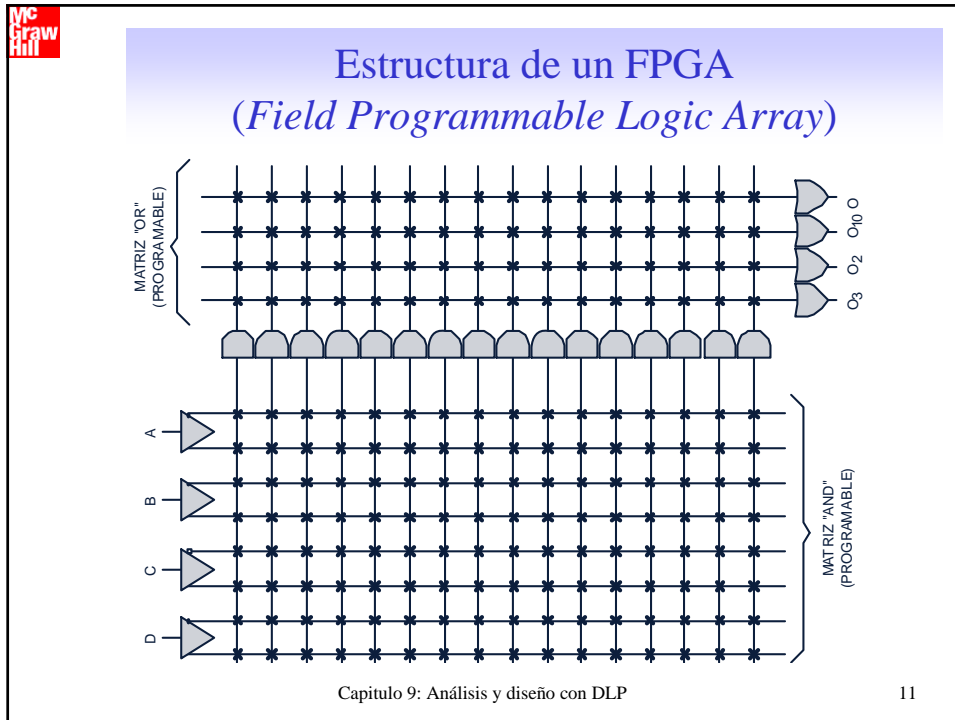
Capítulo 9: Análisis y diseño con DLP 2

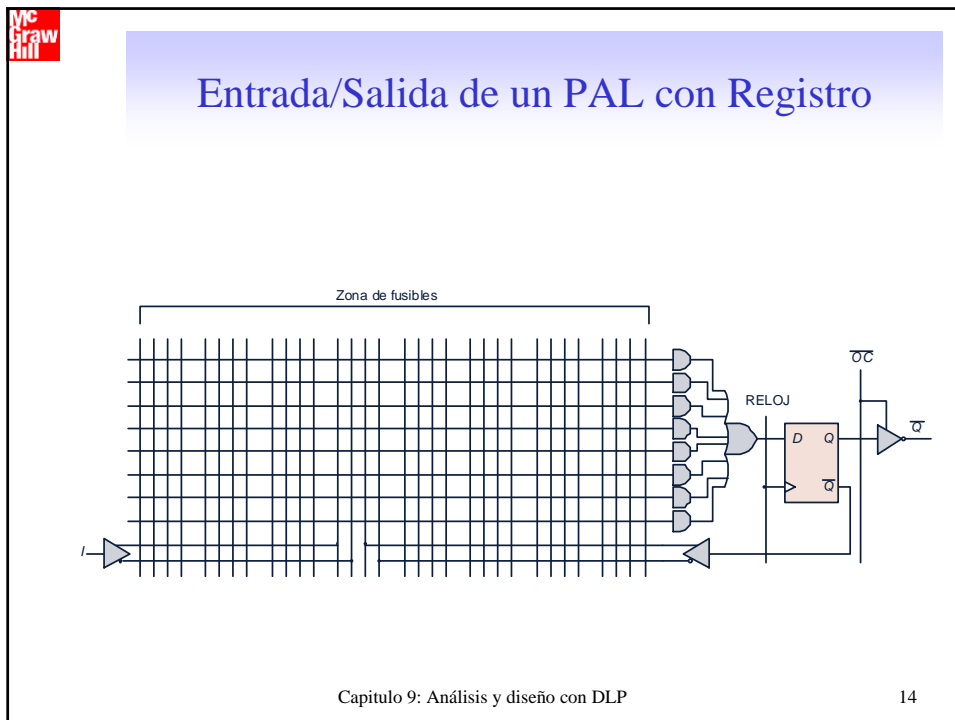
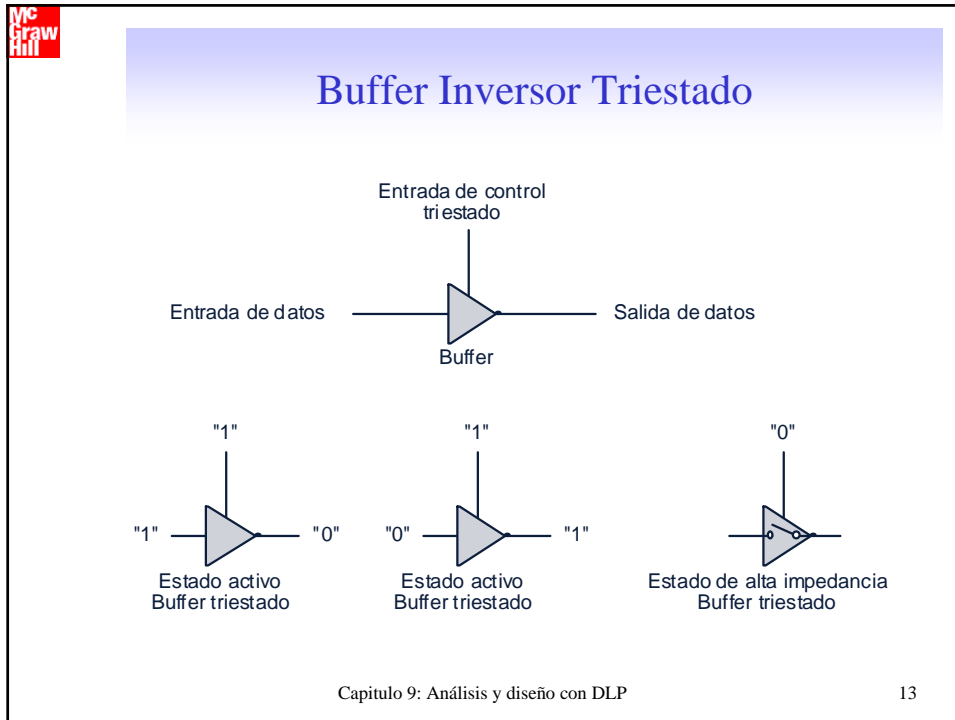


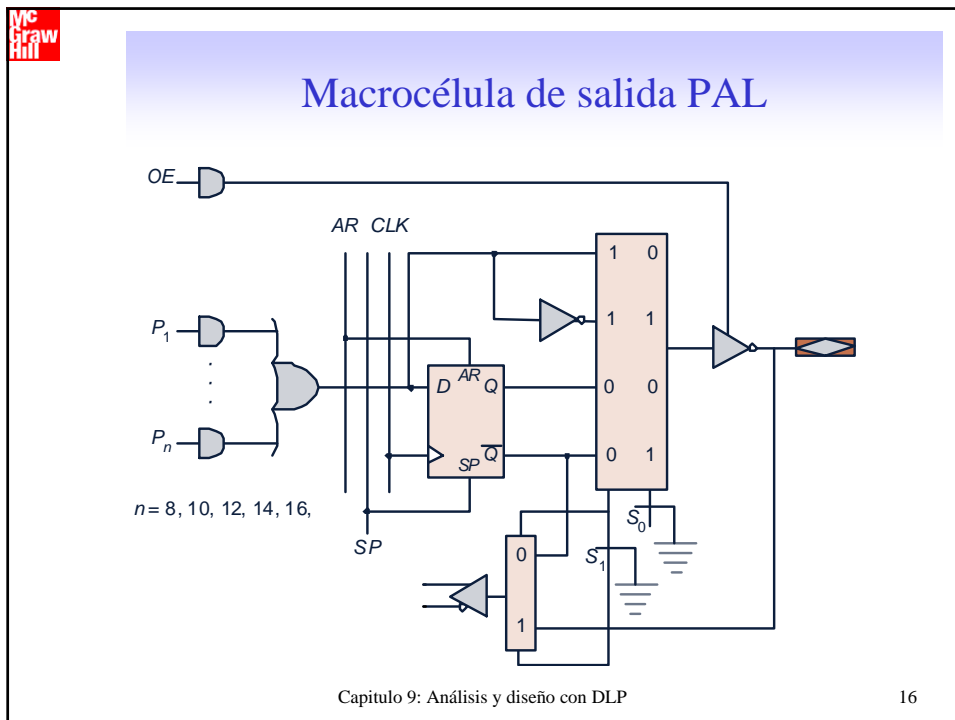
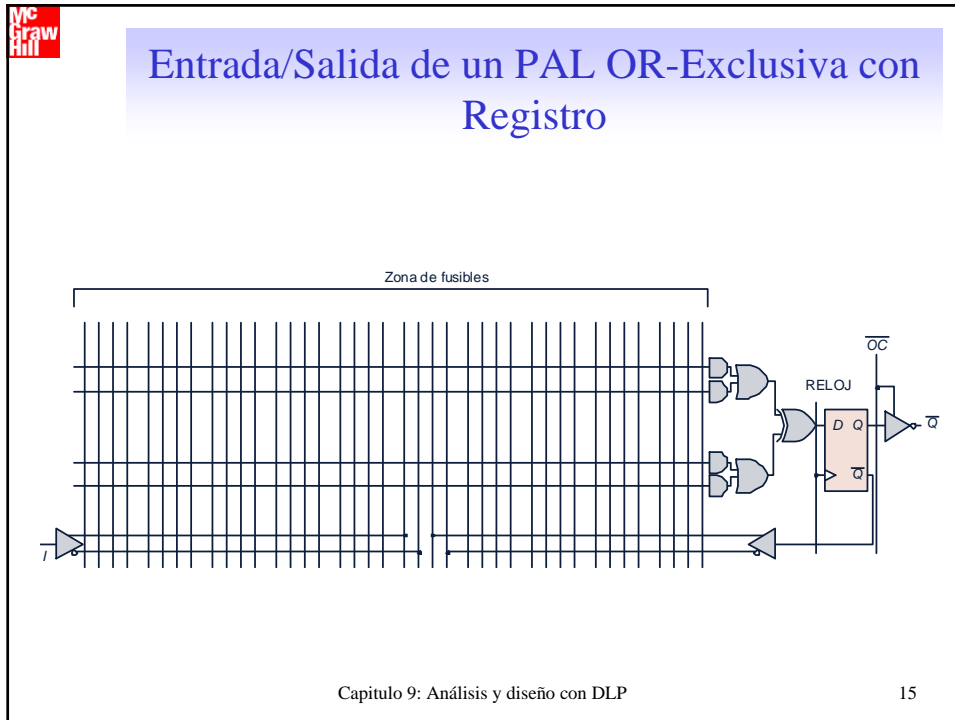












Diferentes configuraciones de la salida de un PAL con macrocélulas de Salida

(a) Registro activo bajo

(b) E/S combinacional, activo bajo

(c) Registro activo alto

(d) E/S combinacional, activo alto

Capítulo 9: Análisis y diseño con DLP

17

Registro Activo Bajo

(a) Registro activo bajo

Capítulo 9: Análisis y diseño con DLP

18

